

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-056666

(43)Date of publication of application : 27.02.2001

(51)Int.Cl.

G09G 3/288

G09G 3/20

(21)Application number : 11-234563

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 20.08.1999

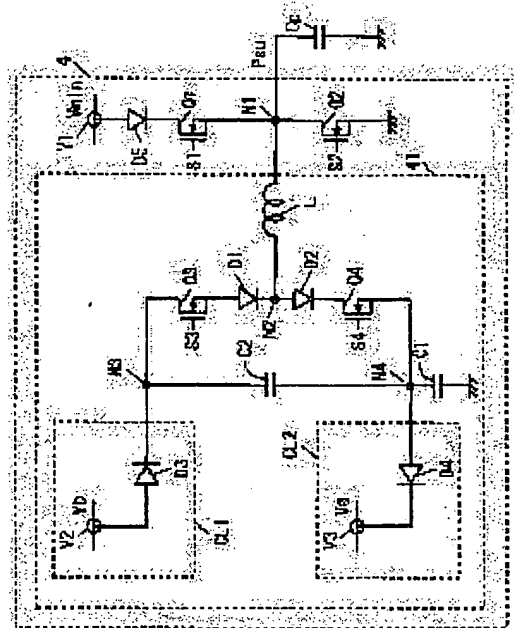
(72)Inventor : HASHIGUCHI JUNPEI
KIKO SHIGEO
KASAHARA MITSUHIRO
MORI MITSUHIRO

(54) DRIVING CIRCUIT, DISPLAY DEVICE AND DRIVING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress the radiation of unnecessary electromagnetic waves and to conduct discharge employing small power consumption.

SOLUTION: A voltage clamp section CL1 is connected to a recycle coil L so that sustain pulses P_{su} are risen more than a discharge starting voltage by LC resonance of the coil L and a panel capacitance C_p , a voltage clamp section CL2 is connected to the coil L before discharging current takes a maximum value so that the pulses P_{su} are lowered by the LC resonance of the coil L and the capacitor C_p . Then, the pulses P_{su} are held at a discharge maintaining minimum voltage by a power supply terminal V1, the section CL2 is connected to the coil L so that the pulses P_{su} are lowered to a ground potential by the LC resonance of the coil L and the capacitance C_p .



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-56666

(P2001-56666A)

(43) 公開日 平成13年2月27日 (2001.2.27)

(51) Int.Cl.⁷

識別記号

F I

テームコード* (参考)

G 0 9 G 3/288

G 0 9 G 3/28

B 5 C 0 8 0

3/20

6 2 1

3/20

6 2 1 B

審査請求 未請求 請求項の数22 O L (全 28 頁)

(21) 出願番号

特願平11-234563

(22) 出願日

平成11年8月20日 (1999.8.20)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 橋口 淳平

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 木子 茂雄

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100098305

弁理士 福島 祥人

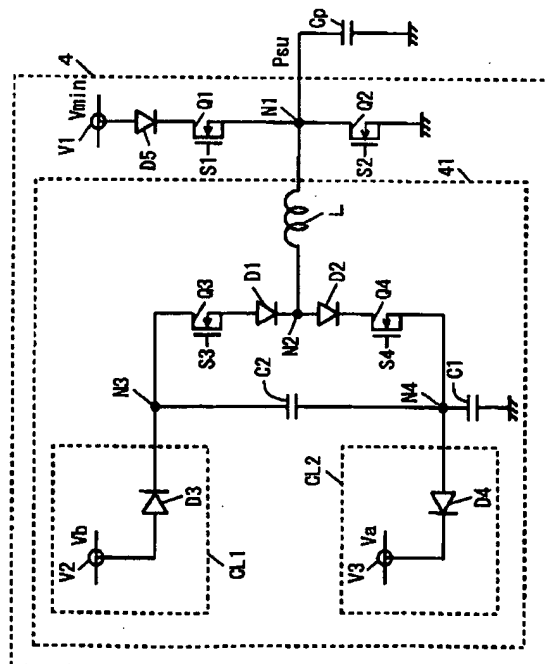
最終頁に続く

(54) 【発明の名称】 駆動回路、表示装置および駆動方法

(57) 【要約】

【課題】 不要な電磁波の輻射を抑制できるとともに、少ない消費電力で放電を行うことができる駆動回路および駆動方法ならびにその駆動回路を用いた表示装置を提供する。

【解決手段】 電圧クランプ部 C L 1 を回収コイル L に接続して回収コイル L およびパネル容量 C p の LC 共振により維持パルス P s u を放電開始電圧以上に立ち上げ、放電電流が極大値をとる以前に電圧クランプ部 C L 2 を回収コイル L に接続して回収コイル L およびパネル容量 C p の LC 共振により維持パルス P s u を立ち下げ、電源端子 V 1 により維持パルス P s u を放電維持最低電圧に保持し、電圧クランプ部 C L 2 を回収コイル L に接続して回収コイル L およびパネル容量 C p の LC 共振により維持パルス P s u を接地電位まで立ち下げる。



【特許請求の範囲】

【請求項1】 放電セルを放電させるための駆動パルス
を出力する駆動回路であって、
前記駆動パルスの電圧が前記放電セルの放電停止電圧か
ら放電開始電圧以上になるように前記駆動パルスを滑ら
かに遷移させる遷移手段と、
前記放電セルの放電電流が極大値をとると同時またはそ
の前に前記遷移手段により遷移された駆動パルスを滑ら
かに逆方向に遷移させる逆遷移手段と、
前記逆遷移手段により逆方向に遷移された駆動パルスの
電圧を前記放電セルが放電を繰り返し維持できる放電維
持電圧に保持する保持手段とを備えることを特徴とする
駆動回路。

【請求項2】 前記放電セルは、容量性負荷を含み、
一端が前記容量性負荷に接続されるインダクタンス素子
をさらに備え、
前記遷移手段は、前記容量性負荷と前記インダクタンス
素子とのLC共振により前記駆動パルスの電圧が前記放
電停止電圧から前記放電開始電圧以上になるように前記
駆動パルスを遷移させる共振遷移手段を含み、
前記逆遷移手段は、前記容量性負荷と前記インダクタン
ス素子とのLC共振により前記共振遷移手段により遷移
された駆動パルスを逆方向に遷移させ、さらに、前記容
量性負荷と前記インダクタンス素子とのLC共振により
前記駆動パルスの電圧が前記放電維持電圧から前記放電
停止電圧になるように前記保持手段により保持されてい
た駆動パルスを逆方向に遷移させる共振逆遷移手段を含
むことを特徴とする請求項1記載の駆動回路。

【請求項3】 一端が接地され、前記容量性負荷から電
荷を回収するための第1の容量性素子と、
一端が前記第1の容量性素子の他端に接続される第2の
容量性素子とをさらに備え、
前記共振遷移手段は、
前記第2の容量性素子の他端の電圧を前記駆動パルスの
最大ピーク電圧と前記放電停止電圧との中間の電圧より
高い電圧に保持する第1の電圧保持手段と、
前記駆動パルスを立ち上げるときに前記第2の容量性素
子の他端を前記インダクタンス素子の他端に接続する立
ち上げ用接続手段とを含み、
前記共振逆遷移手段は、
前記第1の容量性素子の他端の電圧を前記放電維持電圧
と前記放電停止電圧との中間の電圧より低い電圧に保
持する第2の電圧保持手段と、
前記駆動パルスを立ち下げるときに前記第1の容量性素
子の他端を前記インダクタンス素子の他端に接続する立
ち下げ用接続手段とを含むことを特徴とする請求項2記
載の駆動回路。

【請求項4】 一端が接地され、前記容量性負荷から電
荷を回収するための第1の容量性素子と、
一端が前記第1の容量性素子の他端に接続される第2の

容量性素子とをさらに備え、

前記共振逆遷移手段は、

前記第2の容量性素子の他端の電圧を前記放電維持電圧
と前記放電停止電圧との中間の電圧より高い電圧に保持
する第1の電圧保持手段と、

前記駆動パルスを立ち上げるときに前記第2の容量性素
子の他端を前記インダクタンス素子の他端に接続する立
ち上げ用接続手段とを含み、

前記共振遷移手段は、

10 前記第1の容量性素子の他端の電圧を前記駆動パルスの
最小ピーク電圧と前記放電停止電圧との中間の電圧より
低い電圧に保持する第2の電圧保持手段と、

前記駆動パルスを立ち下げるときに前記第1の容量性素
子の他端を前記インダクタンス素子の他端に接続する立
ち下げ用接続手段とを含むことを特徴とする請求項2記
載の駆動回路。

【請求項5】 前記立ち上げ用接続手段は、前記インダ
クタンス素子の他端と前記第2の容量性素子の他端との
間に直列に接続される立ち上げ用一方向導通素子および
20 立ち上げ用スイッチング素子を含み、

前記立ち下げ用接続手段は、前記インダクタンス素子の
他端と前記第1の容量性素子の他端との間に直列に接続
される立ち下げ用一方向導通素子および立ち下げ用スイ
ッチング素子を含むことを特徴とする請求項3または4
記載の駆動回路。

【請求項6】 前記遷移手段は、

前記駆動パルスの電圧が前記放電開始電圧を越えない範
囲で前記駆動パルスを遷移させる第1の遷移手段と、
前記駆動パルスの電圧が前記放電開始電圧以上になるよ
うに前記第1の遷移手段により遷移された駆動パルスを
30 さらに遷移させる第2の遷移手段とを含むことを特徴と
する請求項1記載の駆動回路。

【請求項7】 前記放電セルは、容量性負荷を含み、

一端が前記容量性負荷に接続されるインダクタンス素子
をさらに備え、

前記第1の遷移手段は、前記容量性負荷と前記インダク
タンス素子とのLC共振により前記駆動パルスの電圧が
前記放電開始電圧を越えない範囲で前記駆動パルスを遷
移させる第1の共振遷移手段を含み、

40 前記第2の遷移手段は、前記容量性負荷と前記インダク
タンス素子とのLC共振により前記駆動パルスの電圧が
前記放電開始電圧以上になるように前記駆動パルスを遷
移させる第2の共振遷移手段を含み、

前記逆遷移手段は、前記容量性負荷と前記インダクタン
ス素子とのLC共振により前記第2の共振遷移手段によ
り遷移された駆動パルスを逆方向に遷移させ、さらに、
前記容量性負荷と前記インダクタンス素子とのLC共振
により前記駆動パルスの電圧が前記放電維持電圧から前
記放電停止電圧になるように前記保持手段により保持さ
れていた駆動パルスを逆方向に遷移させる共振逆遷移手

段を含むことを特徴とする請求項6記載の駆動回路。

【請求項8】 一端が接地され、前記容量性負荷から電荷を回収するための第1の容量性素子と、

一端が前記第1の容量性素子の他端に接続される第2の容量性素子とをさらに備え、

前記第1の共振遷移手段は、前記駆動パルスを立ち上げるときに前記第1の容量性素子の他端を前記インダクタンス素子の他端に接続する第1の立ち上げ用接続手段を含み、

前記第2の共振遷移手段は、

前記第2の容量性素子の他端の電圧を前記駆動パルスの最大ピーク電圧と前記第1の共振遷移手段により遷移された駆動パルスのピーク電圧との中間の電圧より高い電圧に保持する第1の電圧保持手段と、

前記駆動パルスを立ち上げるときに前記第2の容量性素子の他端を前記インダクタンス素子の他端に接続する第2の立ち上げ用接続手段とを含み、

前記共振逆遷移手段は、

前記第1の容量性素子の他端の電圧を前記放電維持電圧と前記放電停止電圧との中間の電圧より低い電圧に保持する第2の電圧保持手段と、

前記駆動パルスを立ち下げるときに前記第1の容量性素子の他端を前記インダクタンス素子の他端に接続する立ち下げ用接続手段とを含むことを特徴とする請求項7記載の駆動回路。

【請求項9】 前記第1の立ち上げ用接続手段は、前記インダクタンス素子の他端と前記第1の容量性素子の他端との間に直列に接続される第1の立ち上げ用一方向導通素子および第1の立ち上げ用スイッチング素子を含み、

前記第2の立ち上げ用接続手段は、前記インダクタンス素子の他端と前記第2の容量性素子の他端との間に直列に接続される第2の立ち上げ用一方向導通素子および第2の立ち上げ用スイッチング素子を含み、

前記立ち下げ用接続手段は、前記インダクタンス素子の他端と前記第1の容量性素子の他端との間に直列に接続される立ち下げ用一方向導通素子および立ち下げ用スイッチング素子を含むことを特徴とする請求項8記載の駆動回路。

【請求項10】 一端が接地され、前記容量性負荷から電荷を回収するための第1の容量性素子と、

一端が前記第1の容量性素子の他端に接続される第2の容量性素子とをさらに備え、

前記共振逆遷移手段は、

前記第2の容量性素子の他端の電圧を前記放電維持電圧と前記放電停止電圧との中間の電圧より高い電圧に保持する第1の電圧保持手段と、

前記駆動パルスを立ち上げるときに前記第2の容量性素子の他端を前記インダクタンス素子の他端に接続する立ち上げ用接続手段とを含み、

前記第1の共振遷移手段は、前記駆動パルスを立ち下げるときに前記第2の容量性素子の他端を前記インダクタンス素子の他端に接続する第1の立ち下げ用接続手段を含み、

前記第2の共振遷移手段は、

前記第1の容量性素子の他端を前記駆動パルスの最小ピーク電圧と前記第1の共振遷移手段により遷移された駆動パルスのピーク電圧との中間の電圧より低い電圧に保持する第2の電圧保持手段と、

10 前記駆動パルスを立ち下げるときに前記第1の容量性素子の他端を前記インダクタンス素子の他端に接続する第2の立ち下げ用接続手段とを含むことを特徴とする請求項7記載の駆動回路。

【請求項11】 前記第1の立ち下げ用接続手段は、前記インダクタンス素子の他端と前記第2の容量性素子の他端との間に直列に接続される第1の立ち下げ用一方向導通素子および第1の立ち下げ用スイッチング素子を含み、

前記第2の立ち下げ用接続手段は、前記インダクタンス素子の他端と前記第1の容量性素子の他端との間に直列に接続される第2の立ち下げ用一方向導通素子および第2の立ち下げ用スイッチング素子を含み、

前記立ち上げ用接続手段は、前記インダクタンス素子の他端と前記第2の容量性素子の他端との間に直列に接続される立ち上げ用一方向導通素子および立ち上げ用スイッチング素子を含むことを特徴とする請求項10記載の駆動回路。

【請求項12】 前記放電セルは、容量性負荷を含み、一端が前記容量性負荷に接続されるインダクタンス素子をさらに備え、

30 前記第1の遷移手段は、前記容量性負荷と前記インダクタンス素子とのLC共振により前記駆動パルスの電圧が前記放電開始電圧を越えない範囲で前記駆動パルスを遷移させる第1の共振遷移手段を含み、

前記第2の遷移手段は、前記容量性負荷と前記インダクタンス素子とのLC共振により前記駆動パルスの電圧が前記放電開始電圧以上になるように前記駆動パルスを遷移させる第2の共振遷移手段を含み、

前記逆遷移手段は、

40 前記容量性負荷と前記インダクタンス素子とのLC共振により前記第2の遷移手段により遷移された駆動パルスを逆方向に遷移させる第1の共振逆遷移手段と、

前記容量性負荷と前記インダクタンス素子とのLC共振により前記駆動パルスの電圧が前記放電維持電圧から前記放電停止電圧になるように前記保持手段により保持されていた駆動パルスを逆方向に遷移させる第2の共振逆遷移手段とを含むことを特徴とする請求項6記載の駆動回路。

【請求項13】 一端が接地され、前記容量性負荷から電荷を回収するための第1の容量性素子と、

一端が前記第1の容量性素子の他端に接続される第2の容量性素子とをさらに備え、
 前記第1の共振遷移手段は、前記駆動パルスを立ち上げるときに前記第1の容量性素子の他端を前記インダクタンス素子の他端に接続する第1の立ち上げ用接続手段を含み、
 前記第2の共振遷移手段は、
 前記第2の容量性素子の他端の電圧を前記駆動パルスの最大ピーク電圧と前記第1の共振遷移手段により遷移された駆動パルスのピーク電圧との中間の電圧より高い電圧に保持する第1の電圧保持手段と、
 前記駆動パルスを立ち上げるときに前記第2の容量性素子の他端を前記インダクタンス素子の他端に接続する第2の立ち上げ用接続手段とを含み、
 前記第1の共振逆遷移手段は、前記駆動パルスを立ち下げるときに前記第2の容量性素子の他端を前記インダクタンス素子の他端に接続する第1の立ち下げ用接続手段を含み、
 前記第2の共振逆遷移手段は、
 前記第1の容量性素子の他端の電圧を前記放電維持電圧と前記放電停止電圧との中間の電圧より低い電圧に保持する第2の電圧保持手段と、
 前記駆動パルスを立ち下げるときに前記第1の容量性素子の他端を前記インダクタンス素子の他端に接続する第2の立ち下げ用接続手段とを含むことを特徴とする請求項12記載の駆動回路。
 【請求項14】 一端が接地され、前記容量性負荷から電荷を回収するための第1の容量性素子と、
 一端が前記第1の容量性素子の他端に接続される第2の容量性素子とをさらに備え、
 前記第1の共振逆遷移手段は、前記駆動パルスを立ち上げるときに前記第1の容量性素子の他端を前記インダクタンス素子の他端に接続する第1の立ち上げ用接続手段を含み、
 前記第2の共振逆遷移手段は、
 前記第2の容量性素子の他端の電圧を前記放電維持電圧と前記放電停止電圧との中間の電圧より高い電圧に保持する第1の電圧保持手段と、
 前記駆動パルスを立ち上げるときに前記第2の容量性素子の他端を前記インダクタンス素子の他端に接続する第2の立ち上げ用接続手段とを含み、
 前記第1の共振遷移手段は、前記駆動パルスを立ち下げるときに前記第2の容量性素子の他端を前記インダクタンス素子の他端に接続する第1の立ち下げ用接続手段を含み、
 前記第2の共振遷移手段は、
 前記第1の容量性素子の他端の電圧を前記駆動パルスの最小ピーク電圧と前記第1の共振遷移手段により遷移された駆動パルスのピーク電圧との中間の電圧より低い電圧に保持する第2の電圧保持手段と、

前記駆動パルスを立ち下げるときに前記第1の容量性素子の他端を前記インダクタンス素子の他端に接続する第2の立ち下げ用接続手段とを含むことを特徴とする請求項12記載の駆動回路。

【請求項15】 前記第1の立ち上げ用接続手段は、前記インダクタンス素子の他端と前記第1の容量性素子の他端との間に直列に接続される第1の立ち上げ用一方向導通素子および第1の立ち上げ用スイッチング素子を含み、

10 前記第2の立ち上げ用接続手段は、前記インダクタンス素子の他端と前記第2の容量性素子の他端との間に直列に接続される第2の立ち上げ用一方向導通素子および第2の立ち上げ用スイッチング素子を含み、

前記第1の立ち下げ用接続手段は、前記インダクタンス素子の他端と前記第2の容量性素子の他端との間に直列に接続される第1の立ち下げ用一方向導通素子および第1の立ち下げ用スイッチング素子を含み、

20 前記第2の立ち下げ用接続手段は、前記インダクタンス素子の他端と前記第1の容量性素子の他端との間に直列に接続される第2の立ち下げ用一方向導通素子および第2の立ち下げ用スイッチング素子を含むことを特徴とする請求項13または14記載の駆動回路。

【請求項16】 前記第1の電圧保持手段は、所定の電圧と前記第2の容量性素子の他端との間に接続される第1の一方向導通素子を含み、

前記第2の電圧保持手段は、所定の電圧と前記第1の容量性素子の他端との間に接続される第2の一方向導通素子を含むことを特徴とする請求項3～5、8～11および13～15のいずれかに記載の駆動回路。

30 【請求項17】 前記第1の電圧保持手段は、所定の電圧と前記第2の容量性素子の他端との間に直列に接続される第1の一方向導通素子および第1のスイッチング素子を含み、

前記第2の電圧保持手段は、前記第1の容量性素子と前記第2の容量性素子との接続点と所定の電圧と間に直列に接続される第2の一方向導通素子および第2のスイッチング素子を含み、

40 前記第1および第2のスイッチング素子は、前記容量性負荷と前記インダクタンス素子とのLC共振動作期間以外の期間でオンされることを特徴とする請求項3～5、8～11および13～15のいずれかに記載の駆動回路。

【請求項18】 前記保持手段は、前記インダクタンス素子と前記容量性負荷との接続点と所定の電圧との間に直列に接続される保持用一方向導通素子および保持用スイッチング素子を含むことを特徴とする請求項1～17のいずれかに記載の駆動回路。

50 【請求項19】 前記保持手段は、前記駆動パルスの電圧を前記放電セルの放電維持最低電圧に保持することを特徴とする請求項1～18のいずれかに記載の駆動回路。

路。

【請求項20】 前記放電セルは、プラズマディスプレイパネルのサステイン電極および／またはスキャン電極を含み、

前記駆動パルスは、前記放電セルの放電を維持する維持期間に印加される維持パルスを含むことを特徴とする請求項1～19のいずれかに記載の駆動回路。

【請求項21】 放電セルを構成する複数の電極を含む表示パネルと、

前記表示パネルの前記複数の電極を駆動する請求項1～20のいずれかに記載の駆動回路とを備えることを特徴とする表示装置。

【請求項22】 駆動パルスを印加して放電セルを放電するための駆動方法であって、

前記駆動パルスの電圧が前記放電セルの放電停止電圧から放電開始電圧以上になるように前記駆動パルスを滑らかに遷移させるステップと、

前記放電セルの放電電流が極大値をとると同時またはその前に前記遷移ステップにより遷移された駆動パルスを滑らかに逆方向に遷移させるステップと、

前記逆方向への遷移ステップにより逆方向に遷移された駆動パルスの電圧を前記放電セルが放電を繰り返し維持できる放電維持電圧に保持するステップとを含むことを特徴とする駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、放電セルを放電させるための駆動パルスを出力する駆動回路および駆動方法ならびにこの駆動回路を用いた表示装置に関するものである。

【0002】

【従来の技術】 放電セルの放電状態を維持する駆動パルスを出力する従来の駆動回路としては、例えば、プラズマディスプレイパネルのサステイン電極を駆動するサステインドライバが知られている。

【0003】 図19は、従来のサステインドライバの構成を示す回路図である。図19に示すように、サステインドライバ400は、電荷回収回路401およびスイッチSW11、SW12を含む。電荷回収回路401の出力端は、ノードN11に接続されている。スイッチSW11は、電源端子V11とノードN11との間に接続され、スイッチSW12は、ノードN11と接地端子との間に接続されている。電源端子V11には、電圧V_{su}が印加される。ノードN11は、例えば480本のサステイン電極に接続され、図19では、複数のサステイン電極と接地端子との間の全容量に相当するパネル容量C_pが示されている。

【0004】 電荷回収回路401は、回収コンデンサC11、回収コイルL11、スイッチSW21、SW22およびダイオードD11、D12を含む。回収コンデン

サC11は、ノードN13と接地端子との間に接続されている。ノードN13とノードN12との間にスイッチSW21およびダイオードD11が直列に接続され、ノードN12とノードN13との間にダイオードD12およびスイッチSW22が直列に接続されている。回収コイルL11は、ノードN12とノードN11との間に接続されている。

【0005】 図20は、図19のサステインドライバ400の維持期間の動作を示すタイミング図である。図20には、図19のノードN11の電圧NV11、放電電流I11および図19のスイッチSW21、SW11、SW22、SW12の動作が示される。

【0006】 まず、期間Taにおいて、スイッチSW21がオンし、スイッチSW12がオフする。このとき、スイッチSW11、SW22はオフしている。これにより、回収コイルL11およびパネル容量C_pによるLC共振により、ノードN11の電圧が緩やかに上昇する。このとき、ノードN11の電圧が放電セルの放電開始電圧を越えると、放電電流としてノードN11に電流I11が流れ始める。

【0007】 次に、期間Tbにおいて、スイッチSW21がオフし、スイッチSW11がオンする。これにより、ノードN11の電圧NV11が急激に上昇し、ノードN11の電圧NV11がV_{su}に固定される。ノードN11の電流I11は、ノードN11の電圧NV11が放電開始電圧を越えてから所定時間遅延して極大値をとり、その後減少していく。したがって、ノードN11の電圧NV11がその最大ピーク値であるV_{su}に維持されている間に、ノードN11の電流I11が極大値をとる。

【0008】 次に、期間Tcでは、スイッチSW11がオフし、スイッチSW22がオンする。これにより、回収コイルL11およびパネル容量C_pによるLC共振により、ノードN11の電圧NV11が緩やかに降下する。その後、期間Tdにおいて、スイッチSW22がオフし、スイッチSW12がオンする。これにより、ノードN11の電圧NV11が急激に降下し、接地電位に固定される。上記の動作を維持期間において繰り返し行うことにより、複数のサステイン電極に周期的な維持パルスP_{su}が印加される。

【0009】

【発明が解決しようとする課題】 しかしながら、上記の従来の駆動回路では、維持パルスP_{su}の電圧が最大ピーク値であるV_{su}に維持されている間に電流I11が極大値をとるため、駆動回路および放電セルでの消費電力が大きくなり、この消費電力を低減することが望まれている。また、図20に示すように、維持パルスP_{su}が電源端子V11の電圧により急激にV_{su}まで立ち上げられるため、維持パルスP_{su}にエッジ部が形成される。このエッジ部により不要な電磁波が輻射される

ため、他の電子機器に電磁的な悪影響を及ぼす恐れがあり、この不要な電磁波の輻射を抑制することも望まれている。

【0010】本発明の目的は、不要な電磁波の輻射を抑制できるとともに、少ない消費電力で放電を行うことができる駆動回路および駆動方法ならびにその駆動回路を用いた表示装置を提供することである。

【0011】

【課題を解決するための手段】(1)第1の発明

第1の発明に係る駆動回路は、放電セルを放電させるための駆動パルスを出力する駆動回路であって、駆動パルスの電圧が放電セルの放電停止電圧から放電開始電圧以上になるように駆動パルスを滑らかに遷移させる遷移手段と、放電セルの放電電流が極大値をとると同時またはその前に遷移手段により遷移された駆動パルスを滑らかに逆方向に遷移させる逆遷移手段と、逆遷移手段により逆方向に遷移された駆動パルスの電圧を放電セルが放電を繰り返し維持できる放電維持電圧に保持する保持手段とを備えるものである。

【0012】本発明に係る駆動回路は、駆動パルスの電圧が放電セルの放電開始電圧以上になるように駆動パルスを滑らかに遷移させて放電セルを放電させ、放電セルの放電電流が極大値をとると同時またはその前に駆動パルスを滑らかに逆方向に遷移させ、逆方向に遷移された駆動パルスの電圧を放電セルが放電を繰り返し維持できる放電維持電圧に保持している。したがって、放電電流が極大値に達する以前に駆動パルスをピーク値から遷移させて放電開始電圧より小さい電圧にすることができるので、放電電流の極大値を抑えることができ、少ない消費電力で放電を行うことができる。また、滑らかに駆動パルスを遷移させているので、この部分にエッジ部を形成することがなく、不要な電磁波の輻射を抑制することができる。

【0013】(2)第2の発明

第2の発明に係る駆動回路は、第1の発明に係る駆動回路の構成において、放電セルは、容量性負荷を含み、一端が容量性負荷に接続されるインダクタンス素子をさらに備え、遷移手段は、容量性負荷とインダクタンス素子とのLC共振により駆動パルスの電圧が放電停止電圧から放電開始電圧以上になるように駆動パルスを遷移させる共振遷移手段を含み、逆遷移手段は、容量性負荷とインダクタンス素子とのLC共振により共振遷移手段により遷移された駆動パルスを逆方向に遷移させ、さらに、容量性負荷とインダクタンス素子とのLC共振により駆動パルスの電圧が放電維持電圧から放電停止電圧になるように保持手段により保持されていた駆動パルスを逆方向に遷移させる共振逆遷移手段を含むものである。

【0014】この場合、放電セルである容量性負荷とインダクタンス素子とのLC共振により駆動パルスを遷移させているので、少ない消費電力で、駆動パルスを放電

開始電圧以上に遷移させることができるとともに、放電停止電圧まで遷移させることができる。

【0015】(3)第3の発明

第3の発明に係る駆動回路は、第2の発明に係る駆動回路の構成において、一端が接地され、容量性負荷から電荷を回収するための第1の容量性素子と、一端が第1の容量性素子の他端に接続される第2の容量性素子とをさらに備え、共振遷移手段は、第2の容量性素子の他端の電圧を駆動パルスの最大ピーク電圧と放電停止電圧との中間の電圧より高い電圧に保持する第1の電圧保持手段と、駆動パルスを立ち上げるときに第2の容量性素子の他端をインダクタンス素子の他端に接続する立ち上げ用接続手段とを含み、共振逆遷移手段は、第1の容量性素子の他端の電圧を放電維持電圧と放電停止電圧との中間の電圧より低い電圧に保持する第2の電圧保持手段と、駆動パルスを立ち下げるときに第1の容量性素子の他端をインダクタンス素子の他端に接続する立ち下げ用接続手段とを含むものである。

【0016】この場合、簡略な回路構成により駆動パルスの立ち上がり時に放電セルを放電させる上記波形を有する駆動パルスを出力することができ、また、第1および第2の容量性素子により容量性負荷へ電荷を放出することができるのと同時に、第1の容量性素子により容量性負荷から電荷を回収することができるので、電荷を効率よく使用することができ、消費電力を少なくすることができる。

【0017】(4)第4の発明

第4の発明に係る駆動回路は、第2の発明に係る駆動回路の構成において、一端が接地され、容量性負荷から電荷を回収するための第1の容量性素子と、一端が第1の容量性素子の他端に接続される第2の容量性素子とをさらに備え、共振逆遷移手段は、第2の容量性素子の他端の電圧を放電維持電圧と放電停止電圧との中間の電圧より高い電圧に保持する第1の電圧保持手段と、駆動パルスを立ち上げるときに第2の容量性素子の他端をインダクタンス素子の他端に接続する立ち上げ用接続手段とを含み、共振遷移手段は、第1の容量性素子の他端の電圧を駆動パルスの最小ピーク電圧と放電停止電圧との中間の電圧より低い電圧に保持する第2の電圧保持手段と、駆動パルスを立ち下げるときに第1の容量性素子の他端をインダクタンス素子の他端に接続する立ち下げ用接続手段とを含むものである。

【0018】この場合、簡略な回路構成により駆動パルスの立ち下がり時に放電セルを放電させる上記波形を有する駆動パルスを出力することができ、また、第1および第2の容量性素子により容量性負荷へ電荷を放出することができるのと同時に、第1の容量性素子により容量性負荷から電荷を回収することができるので、電荷を効率よく使用することができ、消費電力を少なくすることができる。

【0019】(5) 第5の発明

第5の発明に係る駆動回路は、第3または第4の発明に係る駆動回路の構成において、立ち上げ用接続手段は、インダクタンス素子の他端と第2の容量性素子の他端との間に直列に接続される立ち上げ用一方導通素子および立ち上げ用スイッチング素子を含み、立ち下げ用接続手段は、インダクタンス素子の他端と第1の容量性素子の他端との間に直列に接続される立ち下げ用一方導通素子および立ち下げ用スイッチング素子を含むものである。

【0020】この場合、一方導通素子およびスイッチング素子を用いた簡略な回路構成により、インダクタンス素子と第1および第2の容量性素子との接続を制御し、上記波形を有する駆動パルスを出力することができる。

【0021】(6) 第6の発明

第6の発明に係る駆動回路は、第1の発明に係る駆動回路の構成において、遷移手段は、駆動パルスの電圧が放電開始電圧を越えない範囲で駆動パルスを遷移させる第1の遷移手段と、駆動パルスの電圧が放電開始電圧以上になるように第1の遷移手段により遷移された駆動パルスをさらに遷移させる第2の遷移手段とを含むものである。

【0022】この場合、駆動パルスを二段階で放電開始電圧以上になるように遷移させているので、遷移時の消費電力を少なくすることができる。

【0023】(7) 第7の発明

第7の発明に係る駆動回路は、第6の発明に係る駆動回路の構成において、放電セルは、容量性負荷を含み、一端が容量性負荷に接続されるインダクタンス素子をさらに備え、第1の遷移手段は、容量性負荷とインダクタンス素子とのLC共振により駆動パルスの電圧が放電開始電圧を越えない範囲で駆動パルスを遷移させる第1の共振遷移手段を含み、第2の遷移手段は、容量性負荷とインダクタンス素子とのLC共振により駆動パルスの電圧が放電開始電圧以上になるように駆動パルスを遷移させる第2の共振遷移手段を含み、逆遷移手段は、容量性負荷とインダクタンス素子とのLC共振により第2の共振遷移手段により遷移された駆動パルスを逆方向に遷移させ、さらに、容量性負荷とインダクタンス素子とのLC共振により駆動パルスの電圧が放電維持電圧から放電停止電圧になるように保持手段により保持されていた駆動パルスを逆方向に遷移させる共振逆遷移手段を含むものである。

【0024】この場合、放電セルである容量性負荷とインダクタンス素子とのLC共振により駆動パルスを二段階で遷移させているので、より少ない消費電力で、駆動パルスを放電開始電圧以上に遷移させることができるとともに、放電停止電圧まで遷移させることができる。

【0025】(8) 第8の発明

第8の発明に係る駆動回路は、第7の発明に係る駆動回路の構成において、一端が接地され、容量性負荷から電荷を回収するための第1の容量性素子と、一端が第1の容量性素子の他端に接続される第2の容量性素子とをさらに備え、第1の共振遷移手段は、駆動パルスを立ち上げるときに第1の容量性素子の他端をインダクタンス素子の他端に接続する第1の立ち上げ用接続手段を含み、第2の共振遷移手段は、第2の容量性素子の他端の電圧を駆動パルスの最大ピーク電圧と第1の共振遷移手段により遷移された駆動パルスのピーク電圧との中間の電圧より高い電圧に保持する第1の電圧保持手段と、駆動パルスを立ち上げるときに第2の容量性素子の他端をインダクタンス素子の他端に接続する第2の立ち上げ用接続手段とを含み、共振逆遷移手段は、第1の容量性素子の他端の電圧を放電維持電圧と放電停止電圧との中間の電圧より低い電圧に保持する第2の電圧保持手段と、駆動パルスを立ち下げるときに第1の容量性素子の他端をインダクタンス素子の他端に接続する立ち下げ用接続手段とを含むものである。

【0026】この場合、簡略な回路構成により二段階で立ち上げおよび立ち下げを行う上記波形を有する駆動パルスを出力することができ、また、第1および第2の容量性素子により容量性負荷へ電荷を放出することができるとともに、第1の容量性素子により容量性負荷から電荷を回収することができるので、電荷を効率よく使用することができ、消費電力を少なくすることができる。

【0027】(9) 第9の発明

第9の発明に係る駆動回路は、第8の発明に係る駆動回路の構成において、第1の立ち上げ用接続手段は、インダクタンス素子の他端と第1の容量性素子の他端との間に直列に接続される第1の立ち上げ用一方導通素子および第1の立ち上げ用スイッチング素子を含み、第2の立ち上げ用接続手段は、インダクタンス素子の他端と第2の容量性素子の他端との間に直列に接続される第2の立ち上げ用一方導通素子および第2の立ち上げ用スイッチング素子を含み、立ち下げ用接続手段は、インダクタンス素子の他端と第1の容量性素子の他端との間に直列に接続される立ち下げ用一方導通素子および立ち下げ用スイッチング素子を含むものである。

【0028】この場合、一方導通素子およびスイッチング素子を用いた簡略な回路構成により、インダクタンス素子と第1および第2の容量性素子との接続を制御し、二段階で立ち上げおよび立ち下げを行う上記波形を有する駆動パルスを出力することができる。

【0029】(10) 第10の発明

第10の発明に係る駆動回路は、第7の発明に係る駆動回路の構成において、一端が接地され、容量性負荷から電荷を回収するための第1の容量性素子と、一端が第1の容量性素子の他端に接続される第2の容量性素子とをさらに備え、共振逆遷移手段は、第2の容量性素子の他

端の電圧を放電維持電圧と放電停止電圧との中間の電圧より高い電圧に保持する第1の電圧保持手段と、駆動パルスを立ち上げるときに第2の容量性素子の他端をインダクタンス素子の他端に接続する立ち上げ用接続手段とを含み、第1の共振遷移手段は、駆動パルスを立ち下げるときに第2の容量性素子の他端をインダクタンス素子の他端に接続する第1の立ち下げ用接続手段を含み、第2の共振遷移手段は、第1の容量性素子の他端を駆動パルスの最小ピーク電圧と第1の共振遷移手段により遷移された駆動パルスのピーク電圧との中間の電圧より低い電圧に保持する第2の電圧保持手段と、駆動パルスを立ち下げるときに第1の容量性素子の他端をインダクタンス素子の他端に接続する第2の立ち下げ用接続手段とを含むものである。

【0030】この場合、簡略な回路構成により二段階で立ち下げおよび立ち上げを行う上記波形を有する駆動パルスを出力することができ、また、第1および第2の容量性素子により容量性負荷へ電荷を放出することができるとともに、第1および第2の容量性素子により容量性負荷から電荷を回収することができるので、電荷を効率よく使用することができ、消費電力を少なくすることができる。

【0031】(11)第11の発明

第11の発明に係る駆動回路は、第10の発明に係る駆動回路の構成において、第1の立ち下げ用接続手段は、インダクタンス素子の他端と第2の容量性素子の他端との間に直列に接続される第1の立ち下げ用一方導通素子および第1の立ち下げ用スイッチング素子を含み、第2の立ち下げ用接続手段は、インダクタンス素子の他端と第1の容量性素子の他端との間に直列に接続される第2の立ち下げ用一方導通素子および第2の立ち下げ用スイッチング素子を含み、立ち上げ用接続手段は、インダクタンス素子の他端と第2の容量性素子の他端との間に直列に接続される立ち上げ用一方導通素子および立ち上げ用スイッチング素子を含むものである。

【0032】この場合、一方導通素子およびスイッチング素子を用いた簡略な回路構成により、インダクタンス素子と第1および第2の容量性素子との接続を制御し、二段階で立ち下げおよび立ち上げを行う上記波形を有する駆動パルスを出力することができる。

【0033】(12)第12の発明

第12の発明に係る駆動回路は、第6の発明に係る駆動回路の構成において、放電セルは、容量性負荷を含み、一端が容量性負荷に接続されるインダクタンス素子をさらに備え、第1の遷移手段は、容量性負荷とインダクタンス素子とのLC共振により駆動パルスの電圧が放電開始電圧を越えない範囲で駆動パルスを遷移させる第1の共振遷移手段を含み、第2の遷移手段は、容量性負荷とインダクタンス素子とのLC共振により駆動パルスの電圧が放電開始電圧以上になるように駆動パルスを遷移さ

せる第2の共振遷移手段を含み、逆遷移手段は、容量性負荷とインダクタンス素子とのLC共振により第2の遷移手段により遷移された駆動パルスを逆方向に遷移させる第1の共振逆遷移手段と、容量性負荷とインダクタンス素子とのLC共振により駆動パルスの電圧が放電維持電圧から放電停止電圧になるように保持手段により保持されていた駆動パルスを逆方向に遷移させる第2の共振逆遷移手段とを含むものである。

【0034】この場合、放電セルである容量性負荷とインダクタンス素子とのLC共振により駆動パルスを二段階で遷移させているので、より少ない消費電力で、駆動パルスを放電開始電圧以上に遷移させることができるとともに、放電停止電圧まで遷移させることができる。

【0035】(13)第13の発明

第13の発明に係る駆動回路は、第12の発明に係る駆動回路の構成において、一端が接地され、容量性負荷から電荷を回収するための第1の容量性素子と、一端が第1の容量性素子の他端に接続される第2の容量性素子とをさらに備え、第1の共振遷移手段は、駆動パルスを立ち上げるときに第1の容量性素子の他端をインダクタンス素子の他端に接続する第1の立ち上げ用接続手段を含み、第2の共振遷移手段は、第2の容量性素子の他端の電圧を駆動パルスの最大ピーク電圧と第1の共振遷移手段により遷移された駆動パルスのピーク電圧との中間の電圧より高い電圧に保持する第1の電圧保持手段と、駆動パルスを立ち上げるときに第2の容量性素子の他端をインダクタンス素子の他端に接続する第2の立ち上げ用接続手段とを含み、第1の共振逆遷移手段は、駆動パルスを立ち下げるときに第2の容量性素子の他端をインダクタンス素子の他端に接続する第1の立ち下げ用接続手段を含み、第2の共振逆遷移手段は、第1の容量性素子の他端の電圧を放電維持電圧と放電停止電圧との中間の電圧より低い電圧に保持する第2の電圧保持手段と、駆動パルスを立ち下げるときに第1の容量性素子の他端をインダクタンス素子の他端に接続する第2の立ち下げ用接続手段とを含むものである。

【0036】この場合、簡略な回路構成により二段階で立ち上げおよび立ち下げを行う上記波形を有する駆動パルスを出力することができ、また、第1および第2の容量性素子により容量性負荷へ電荷を放出することができるとともに、第1および第2の容量性素子により容量性負荷から電荷を回収することができるので、電荷を効率よく使用することができ、消費電力を少なくすることができる。

【0037】(14)第14の発明

第14の発明に係る駆動回路は、第12の発明に係る駆動回路の構成において、一端が接地され、容量性負荷から電荷を回収するための第1の容量性素子と、一端が第1の容量性素子の他端に接続される第2の容量性素子とをさらに備え、第1の共振逆遷移手段は、駆動パルスを

立ち上げるときに第1の容量性素子の他端をインダクタンス素子の他端に接続する第1の立ち上げ用接続手段を含み、第2の共振逆遷移手段は、第2の容量性素子の他端の電圧を放電維持電圧と放電停止電圧との中間の電圧より高い電圧に保持する第1の電圧保持手段と、駆動パルスを立ち上げるときに第2の容量性素子の他端をインダクタンス素子の他端に接続する第2の立ち上げ用接続手段とを含み、第1の共振遷移手段は、駆動パルスを立ち下げるときに第2の容量性素子の他端をインダクタンス素子の他端に接続する第1の立ち下げ用接続手段を含み、第2の共振遷移手段は、第1の容量性素子の他端の電圧を駆動パルスの最小ピーク電圧と第1の共振遷移手段により遷移された駆動パルスのピーク電圧との中間の電圧より低い電圧に保持する第2の電圧保持手段と、駆動パルスを立ち下げるときに第1の容量性素子の他端をインダクタンス素子の他端に接続する第2の立ち下げ用接続手段とを含むものである。

【0038】この場合、簡略な回路構成により二段階で立ち下げおよび立ち上げを行う上記波形を有する駆動パルスを出力することができ、また、第1および第2の容量性素子により容量性負荷へ電荷を放出することができるとともに、第1および第2の容量性素子により容量性負荷から電荷を回収することができるので、電荷を効率よく使用することができ、消費電力を少なくすることができる。

【0039】(15) 第15の発明

第15の発明に係る駆動回路は、第13または第14の発明に係る駆動回路の構成において、第1の立ち上げ用接続手段は、インダクタンス素子の他端と第1の容量性素子の他端との間に直列に接続される第1の立ち上げ用一方方向導通素子および第1の立ち上げ用スイッチング素子を含み、第2の立ち上げ用接続手段は、インダクタンス素子の他端と第2の容量性素子の他端との間に直列に接続される第2の立ち上げ用一方方向導通素子および第2の立ち上げ用スイッチング素子を含み、第1の立ち下げ用接続手段は、インダクタンス素子の他端と第2の容量性素子の他端との間に直列に接続される第1の立ち下げ用一方方向導通素子および第1の立ち下げ用スイッチング素子を含み、第2の立ち下げ用接続手段は、インダクタンス素子の他端と第1の容量性素子の他端との間に直列に接続される第2の立ち下げ用一方方向導通素子および第2の立ち下げ用スイッチング素子を含むものである。

【0040】この場合、一方方向導通素子およびスイッチング素子を用いた簡略な回路構成により、インダクタンス素子と第1および第2の容量性素子との接続を制御し、二段階で立ち上げおよび立ち下げを行う上記波形を有する駆動パルスを出力することができる。

【0041】(16) 第16の発明

第16の発明に係る駆動回路は、第3～5、8～11および13～15のいずれかの発明に係る駆動回路の構成

において、第1の電圧保持手段は、所定の電圧と第2の容量性素子の他端との間に接続される第1の一方方向導通素子を含み、第2の電圧保持手段は、所定の電圧と第1の容量性素子の他端との間に接続される第2の一方方向導通素子を含むものである。

【0042】この場合、所定の電圧を受ける一方方向導通素子を用い、簡略な回路構成で第1および第2の容量性素子の電圧を所望の電圧に保持することができる。

【0043】(17) 第17の発明

第11の発明に係る駆動回路は、第3～5、8～11および13～15のいずれかの発明に係る駆動回路の構成において、第1の電圧保持手段は、所定の電圧と第2の容量性素子の他端との間に直列に接続される第1の一方方向導通素子および第1のスイッチング素子を含み、第2の電圧保持手段は、第1の容量性素子と第2の容量性素子との接続点と所定の電圧と間に直列に接続される第2の一方方向導通素子および第2のスイッチング素子を含み、第1および第2のスイッチング素子は、容量性負荷とインダクタンス素子とのLC共振動作期間以外の期間でオンされるものである。

【0044】この場合、それぞれ所定の電圧を受ける第1および第2の一方方向導通素子を用い、簡略な回路構成で第1および第2の容量性素子の電圧を所望の電圧に保持することができるとともに、LC共振動作期間以外の期間に第1および第2のスイッチング素子をオンしているので、LC共振動作期間すなわち電荷回収期間に第1および第2の電圧保持手段の影響を受けることなく、電荷回収期間の全期間で電荷回収動作を行うことができ、効率よく電荷を回収することができる。

【0045】(18) 第18の発明

第18の発明に係る駆動回路は、第1～17のいずれかの発明に係る駆動回路の構成において、保持手段は、インダクタンス素子と容量性負荷との接続点と所定の電圧との間に直列に接続される保持用一方方向導通素子および保持用スイッチング素子を含むものである。

【0046】この場合、一方方向導通素子およびスイッチング素子を用いた簡略な回路構成により、駆動パルスの電圧を放電維持電圧に保持することができる。

【0047】(19) 第19の発明

第19の発明に係る駆動回路は、第1～18のいずれかの発明に係る駆動回路の構成において、保持手段は、駆動パルスの電圧を放電セルの放電維持最低電圧に保持するものである。

【0048】この場合、駆動パルスを放電維持最低電圧に保持することができるので、より少ない消費電力で放電を維持することができる。

【0049】(20) 第20の発明

第20の発明に係る駆動回路は、第1～19のいずれかの発明に係る駆動回路の構成において、放電セルは、プラズマディスプレイパネルのサステイン電極および/ま

たはスキャン電極を含み、駆動パルスは、放電セルの放電を維持する維持期間に印加される維持パルスを含むものである。

【0050】この場合、プラズマディスプレイパネルのサステイン電極および／またはスキャン電極に維持パルスを印加し、不要な電磁波の輻射を抑制するとともに、少ない消費電力で維持放電を行うことができる。

【0051】(21) 第21の発明

第21の発明に係る表示装置は、放電セルを構成する複数の電極を含む表示パネルと、表示パネルの複数の電極を駆動する第1～20のいずれかの発明に係る駆動回路とを備えるものである。

【0052】本発明に係る表示装置においては、不要な電磁波の輻射を抑制するとともに、少ない消費電力で表示パネルの放電セルを放電させることができる表示装置を実現することができる。

【0053】(22) 第22の発明

第22の発明に係る駆動方法は、駆動パルスを印加して放電セルを放電するための駆動方法であって、駆動パルスの電圧が放電セルの放電停止電圧から放電開始電圧以上になるように駆動パルスを滑らかに遷移させるステップと、放電セルの放電電流が極大値をとると同時またはその前に遷移ステップにより遷移された駆動パルスを滑らかに逆方向に遷移させるステップと、逆方向への遷移ステップにより逆方向に遷移された駆動パルスの電圧を放電セルが放電を繰り返し維持できる放電維持電圧に保持するステップとを含むものである。

【0054】本発明に係る駆動方法は、駆動パルスの電圧が放電セルの放電開始電圧以上になるように駆動パルスを滑らかに遷移させて放電セルを放電させ、放電セルの放電電流が極大値をとると同時またはその前に駆動パルスを滑らかに逆方向に遷移させ、逆方向に遷移された駆動パルスの電圧を放電セルが放電を繰り返し維持できる放電維持電圧に保持している。したがって、放電電流が極大値に達する以前に駆動パルスをピーク値から遷移させて放電開始電圧より小さい電圧にすることができるので、放電電流の極大値を抑えることができ、少ない消費電力で放電を行うことができる。また、滑らかに駆動パルスを遷移させているので、この部分にエッジ部を形成することがなく、不要な電磁波の輻射を抑制することができる。

【0055】

【発明の実施の形態】以下、本発明による駆動回路の一例として、プラズマディスプレイ装置に用いられるサステインドライバについて説明する。なお、本発明の駆動回路は、放電セルを駆動するものであれば、他の装置にも同様に適用することができる。また、本発明の駆動回路をプラズマディスプレイパネルに用いる場合は、AC型、DC型等のいずれのプラズマディスプレイパネルの駆動回路にも適用できるが、このうちAC型プラズマ

ディスプレイパネルのサステイン電極および／またはスキャン電極の駆動回路に好適に用いることができる。

【0056】(第1の実施の形態) まず、本発明の第1の実施の形態によるサステインドライバについて図面を参照しながら説明する。図1は、本発明の第1の実施の形態によるサステインドライバを用いたプラズマディスプレイ装置の構成を示すブロック図である。

【0057】図1のプラズマディスプレイ装置は、PDP(プラズマディスプレイパネル)1、データドライバ2、スキャンドライバ3、複数のスキャンドライバIC(回路)3aおよびサステインドライバ4を含む。

【0058】PDP1は、複数のアドレス電極(データ電極)11、複数のスキャン電極(走査電極)12および複数のサステイン電極(維持電極)13を含む。複数のアドレス電極11は、画面の垂直方向に配列され、複数のスキャン電極12および複数のサステイン電極13は、画面の水平方向に配列されている。また、複数のサステイン電極13は、共通に接続されている。アドレス電極11、スキャン電極12およびサステイン電極13の各交点には、放電セルDCが形成され、各放電セルDCが画面上の画素を構成する。

【0059】データドライバ2は、PDP1の複数のアドレス電極11に接続されている。複数のスキャンドライバIC3aは、スキャンドライバ3に接続されている。各スキャンドライバIC3aには、PDP1の複数のスキャン電極12が接続されている。サステインドライバ4は、PDP1の複数のサステイン電極13に接続されている。

【0060】データドライバ2は、書き込み期間において、画像データに応じてPDP1の該当するアドレス電極11に書き込みパルスを印加する。複数のスキャンドライバIC3aは、スキャンドライバ3により駆動され、書き込み期間において、シフトパルスSHを垂直走査方向にシフトしつつPDP1の複数のスキャン電極12に書き込みパルスを順に印加する。これにより、該当する放電セルDCにおいてアドレス放電が行われる。

【0061】また、複数のスキャンドライバIC3aは、維持期間において、周期的な維持パルスをPDP1の複数のスキャン電極12に印加する。一方、サステインドライバ4は、維持期間において、PDP1の複数のサステイン電極13にスキャン電極12の維持パルスに対して180°位相のずれた維持パルスを同時に印加する。これにより、該当する放電セルDCにおいて維持放電が行われる。

【0062】図2は、図1のPDP1におけるアドレス電極11、スキャン電極12およびサステイン電極13の駆動電圧の一例を示すタイミング図である。

【0063】初期化期間には、複数のスキャン電極12に初期セットアップパルスPsetが同時に印加される。その後、書き込み期間において、映像信号に応じて

オンまたはオフするデータパルスPdが各アドレス電極11に印加され、このデータパルスPdに同期して複数のスキャン電極12に書き込みパルスPwが順に印加される。これにより、PDP1の該当する放電セルDCにおいて順次アドレス放電が起こる。

【0064】次に、維持期間において、複数のスキャン電極12に維持パルスPscが周期的に印加され、複数のサステイン電極13に維持パルスPsuが周期的に印加される。維持パルスPsuの位相は、維持パルスPscの位相に対して180°ずれている。これにより、ア

ドレス放電に続いて維持放電が起こる。

【0065】次に、本発明の第1の実施の形態である図1に示すサステインドライバ4についてさらに詳細に説明する。図3は、本発明の第1の実施の形態の図1に示すサステインドライバ4の構成を示す回路図である。

【0066】図3のサステインドライバ4は、電荷回収回路41、ダイオードD5およびスイッチング素子であるFET（電界効果型トランジスタ、以下トランジスタと称す）Q1、Q2を含む。電荷回収回路41の出力端は、ノードN1に接続されている。トランジスタQ1は、一端がダイオードD5を介して電源端子V1に接続され、他端がノードN1に接続され、ゲートには制御信号S1が入力される。トランジスタQ2は、一端がノードN1に接続され、他端が接地端子に接続され、ゲートには制御信号S2が入力される。電源端子V1には、放電維持最低電圧Vminが印加される。放電維持最低電圧としては、たとえば約140～150Vの電圧を用いることができる。なお、電源端子V1の電圧は、後続の繰り返し放電を維持できる電圧であればよく、消費電力の観点からは放電維持最低電圧であることが好ましい。

【0067】ノードN1は、例えば480本のサステイン電極13に接続されているが、図3では、複数のサステイン電極13と接地端子との間の全容量に相当するパネル容量Cpが示されている。なお、この点に関しては、以下の他の実施の形態によるサステインドライバについても同様である。

【0068】電荷回収回路41は、回収コンデンサC1、C2、回収コイルL、スイッチング素子であるFET（電界効果型トランジスタ、以下トランジスタと称す）Q3、Q4、ダイオードD1、D2および電圧クランプ部CL1、CL2を含む。電圧クランプ部CL1は、ダイオードD3を含み、電圧クランプ部CL2は、ダイオードD4を含む。

【0069】回収コンデンサC1は、ノードN4と接地端子との間に接続されている。ダイオードD4は、電源端子V3とノードN4との間に接続されている。電源端子V3には、維持パルスPsuの放電維持最低電圧の2分の1より低い電圧Vaが印加される。回収コンデンサC2は、ノードN3とノードN4との間に接続され、回収コンデンサC1に直列に接続されている。ダイオード

D3は、電源端子V2とノードN3との間に接続されている。電源端子V2には、維持パルスPsuの最大ピーク電圧Vsuの2分の1より高い電圧Vbが印加される。

【0070】トランジスタQ3およびダイオードD1は、ノードN3とノードN2との間に直列に接続されている。ダイオードD2およびトランジスタQ4は、ノードN2とノードN4との間に直列に接続されている。トランジスタQ3のゲートには、制御信号S3が入力され、トランジスタQ4のゲートには、制御信号S4が入力される。回収コイルLは、ノードN2とノードN1との間に接続されている。

【0071】本実施の形態では、トランジスタQ3、ダイオードD1および電圧クランプ部CL1が遷移手段および共振遷移手段に相当し、トランジスタQ4、ダイオードD2および電圧クランプ部CL2が逆遷移手段および共振逆遷移手段に相当し、ダイオードD5およびトランジスタQ1が保持手段に相当し、回収コイルLがインダクタンス素子に相当する。また、回収コンデンサC1が第1の容量性素子に相当し、回収コンデンサC2が第2の容量性素子に相当し、トランジスタQ3およびダイオードD1が立ち上げ用接続手段に相当し、トランジスタQ4およびダイオードD2が立ち下げ用接続手段に相当し、電圧クランプ部CL1が第1の電圧保持手段に相当し、電圧クランプ部CL2が第2の電圧保持手段に相当する。また、ダイオードD1が立ち上げ用一方導通素子に相当し、トランジスタQ3が立ち上げ用スイッチング素子に相当し、ダイオードD2が立ち下げ用一方導通素子に相当し、トランジスタQ4が立ち下げ用スイッチング素子に相当する。また、ダイオードD3が第1の一方導通素子に相当し、ダイオードD4が第2の一方導通素子に相当する。また、ダイオードD5が保持用一方導通素子に相当し、トランジスタQ1が保持用スイッチング素子に相当する。

【0072】図4は、図3に示すサステインドライバ4の維持期間の動作を示すタイミング図である。図4には、図3のノードN1の電圧NV1、放電セルDCの放電電流I1および図3のトランジスタQ1～Q4に入力される制御信号S1～S4が示される。

【0073】まず、期間TAにおいて、制御信号S2がローレベルになりトランジスタQ2がオフし、制御信号S3がハイレベルになりトランジスタQ3がオンする。このとき、制御信号S1はローレベルにありトランジスタQ1はオフし、制御信号S4はローレベルにありトランジスタQ4はオフしている。したがって、回収コンデンサC2がトランジスタQ3およびダイオードD1を介して回収コイルLに接続され、回収コイルLおよびパネル容量CpによるLC共振により、ノードN1の電圧NV1が放電停止電圧Vg（本実施の形態では、接地電位）から滑らかに上昇する。

【0074】ここで、電源端子V2の電圧Vbは、回収コイルL、ダイオードD1およびトランジスタQ3等の抵抗成分による電圧低下を考慮し、最大ピーク電圧V_{sus}の2分の1より高い値に設定され、例えば、V_{sus}が約200Vの場合、Vbは約110~120Vに設定されている。したがって、電圧クランプ部CL1によりノードN3の電圧がV_{sus}/2より高くなり、サステインドライバ4内の抵抗成分によるエネルギー損失が補償され、LC共振によりノードN1の電圧NV1が放電開始電圧V_{st}を越えて最大ピーク電圧V_{sus}まで上昇する。このとき、回収コンデンサC1、C2の電荷がトランジスタQ3、ダイオードD1および回収コイルLを介してパネル容量C_pへ放出される。ノードN1の電圧NV1が放電開始電圧V_{st}を越えると、放電セルDCの維持放電が開始され、ノードN1を流れる放電電流成分のみを表す電流I1が上昇し始める。

【0075】次に、期間TBにおいて、制御信号S3がローレベルになりトランジスタQ3がオフし、制御信号S4がハイレベルになりトランジスタQ4がオンする。したがって、回収コンデンサC1がダイオードD2およびトランジスタQ4を介して回収コイルLに接続され、回収コイルLおよびパネル容量C_pによるLC共振により、ノードN1の電圧NV1が最大ピーク電圧V_{sus}から滑らかに降下する。

【0076】ここで、電源端子V3の電圧Vaは、後述するように、放電維持最低電圧V_{min}の2分の1より低い値に設定されている。したがって、電圧クランプ部CL2によりノードN4の電圧がV_{min}/2より低くなり、LC共振によりノードN1の電圧NV1が降下する。

【0077】このとき、ノードN1の電流I1は、電圧NV1が最大ピーク電圧V_{sus}に達してからやや遅れて極大値をとるとともに、そのタイミングには電圧NV1がすでにピーク値より低くなっているため、従来の駆動回路による放電電流よりもその極大値が抑えられる。また、このとき、パネル容量C_pに蓄えられた電荷の一部は、回収コイルL、ダイオードD2およびトランジスタQ4を介して回収コンデンサC1に蓄えられ、電荷の回収が行われる。

【0078】次に、期間TCにおいて、制御信号S1がハイレベルになりトランジスタQ1がオンし、制御信号S4がローレベルになりトランジスタQ4がオフする。したがって、ノードN1がダイオードD5およびトランジスタQ1を介して電源端子V1に接続され、ノードN1の電圧NV1が放電維持最低電圧V_{min}に固定される。

【0079】次に、期間TDにおいて、制御信号S1がローレベルになりトランジスタQ1がオフし、制御信号S4がハイレベルになりトランジスタQ4がオンする。したがって、回収コンデンサC1がダイオードD2およ

びトランジスタQ4を介して回収コイルLに接続され、回収コイルLおよびパネル容量C_pによるLC共振により、ノードN1の電圧NV1が滑らかに降下する。

【0080】ここで、電源端子V3の電圧Vaは、回収コイルL、ダイオードD2およびトランジスタQ4等の抵抗成分を考慮し、放電維持最低電圧V_{min}の2分の1より低い値に設定され、例えば、V_{min}が約140Vの場合、Vaは約50~60Vに設定されている。したがって、電圧クランプ部CL2によりノードN4の電圧がV_{min}/2より低くなり、サステインドライバ4内の抵抗成分によるエネルギー損失が補償され、LC共振によりノードN1の電圧NV1が放電停止電圧V_gである接地電位まで立ち下がる。また、このとき、パネル容量C_pに蓄えられた残りの電荷は、回収コイルL、ダイオードD2およびトランジスタQ4を介して回収コンデンサC1に蓄えられ、電荷の回収が行われる。

【0081】次に、期間TEにおいて、制御信号S2がハイレベルになりトランジスタQ2がオンし、制御信号S4がローレベルになりトランジスタQ4がオフする。したがって、ノードN1が接地端子に接続され、ノードN1の電圧NV1がそのまま接地電位に固定される。

【0082】上記の動作を維持期間において繰り返し行うことにより、周期的な維持パルスP_{su}を複数のサステイン電極13に印加することができる。したがって、維持パルスP_{su}の電圧NV1が放電開始電圧V_{st}以上になるように維持パルスP_{su}を滑らかに立ち上げて維持放電を発生させ、放電電流I1が極大値をとる以前に維持パルスP_{su}を滑らかに立ち下げて放電維持最低電圧V_{min}に保持し、後続の繰り返し放電を維持させることができる。

【0083】この結果、維持期間において、放電電流である電流I1の極大値を抑えることができるとともに、維持パルスP_{su}において電流I1の極大値の周辺の電圧NV1を必要最低限まで低下させることができるので、少ない消費電力で放電セルDCの維持放電を行うことができる。また、LC共振により滑らかに駆動パルスP_{su}を立ち上げおよび立ち下げているので、この部分にエッジ部を形成することがなく、不要な電磁波の放射を抑制することができる。

【0084】また、本実施の形態では、簡略な回路構成により、LC共振により上記波形を有する維持パルスP_{su}を出力することができるとともに、電荷を回収することもできるので、さらに消費電力を少なくすることができる。

【0085】また、本実施の形態では、維持パルスP_{su}が滑らかではあるが十分に急峻に立ち上がるため、放電の際に発生される紫外線光が弱まることなく、放電セルDCに設けられた蛍光体を十分強く発光させることができ、投入電力に対して効率のよい発光を行うことができる。

10

20

30

40

50

【0086】(第2の実施の形態)次に、本発明の第2の実施の形態によるサステインドライバについて図面を参照しながら説明する。図5は、本発明の第2実施の形態によるサステインドライバの構成を示す回路図である。なお、図5に示すサステインドライバも図3に示すサステインドライバと同様に図1に示すプラズマディスプレイ装置に適用することができる。

【0087】図5に示すサステインドライバ4aと図3に示すサステインドライバ4とで異なる点は、電荷回収回路41が電荷回収回路41aに変更されることにより、電源端子V2、V3とダイオードD3、D4との間にスイッチング素子であるFET(電界効果型トランジスタ、以下トランジスタと称する)Q5、Q6がそれぞれ付加された点であり、その他の点は図3に示すサステインドライバと同様であるので、同一部分には同一符号を付し詳細な説明を省略し、以下異なる部分についてのみ詳細に説明する。

【0088】図5に示すように、電圧クランプ部CL3は、ノードN3に接続され、電圧クランプ部CL4は、ノードN4に接続される。電圧クランプ部CL3は、トランジスタQ5およびダイオードD3を含み、電圧クランプ部CL4は、トランジスタQ6およびダイオードD4を含む。トランジスタQ5は、電源端子V2とダイオードD3との間に接続され、トランジスタQ6は、電源端子V3とダイオードD4との間に接続される。トランジスタQ5のゲートには、制御信号S5が入力され、トランジスタQ6のゲートには、制御信号S6が入力される。

【0089】本実施の形態では、トランジスタQ5が第1のスイッチング素子に相当し、トランジスタQ6が第2のスイッチング素子に相当し、その他の点は、第1の実施の形態と同様である。

【0090】図6は、図5に示すサステインドライバ4aの維持期間の動作を示すタイミング図である。図6には、図5のノードN1の電圧NV1、放電セルDCの放電電流I1および図5のトランジスタQ1~Q6に入力される制御信号S1~S6が示される。

【0091】まず、期間TAにおいて、制御信号S2がローレベルになりトランジスタQ2がオフし、制御信号S3がハイレベルになりトランジスタQ3がオンし、制御信号S5がローレベルになりトランジスタQ5がオフし、制御信号S6がローレベルになりトランジスタQ6がオフする。このとき、制御信号S1はローレベルにありトランジスタQ1はオフし、制御信号S4はローレベルにありトランジスタQ4がオフしている。したがって、回収コンデンサC2がトランジスタQ3およびダイオードD1を介して回収コイルLに接続され、回収コイルLおよびパネル容量CpによるLC共振により、ノードN1の電圧NV1が放電停止電圧Vgである接地電位から滑らかに上昇する。

【0092】ここで、ノードN3の電圧は、後述するように、ノードN3が期間TAの前(期間TE)において電圧クランプ部CL3に接続されていたため、期間TAの初期時には最大ピーク電圧Vsusの2分の1よりも高い電圧Vbに設定されている。したがって、第1の実施の形態と同様に、サステインドライバ4a内の抵抗成分によるエネルギー損失が補償され、LC共振によりノードN1の電圧NV1が放電開始電圧Vstを越えて最大ピーク電圧Vsusまで上昇する。このとき、電圧クランプ部CL3、CL4が回収コンデンサC1、C2に接続されていないため、電圧クランプ部CL3、CL4の影響を受けることなく、期間TAの全期間で回収コンデンサC1、C2の電荷がトランジスタQ3、ダイオードD1および回収コイルLを介してパネル容量Cpへ放出される。ノードN1の電圧NV1が放電開始電圧を越えると、放電セルDCの維持放電が開始され、ノードN1を流れる放電電流成分のみを表す電流I1が上昇し始める。

【0093】次に、期間TBにおいて、制御信号S3がローレベルになりトランジスタQ3がオフし、制御信号S4がハイレベルになりトランジスタQ4がオンする。したがって、回収コンデンサC1がダイオードD2およびトランジスタQ4を介して回収コイルLに接続され、回収コイルLおよびパネル容量CpによるLC共振により、ノードN1の電圧NV1が最大ピーク電圧Vsusから滑らかに降下する。

【0094】ここで、ノードN4の電圧は、後述するように、ノードN4が期間TEにおいて電圧クランプ部CL4に接続され、その後期間TAにおいて電荷の放出が行われたため、期間TBの初期時には放電維持最低電圧Vminの2分の1よりも低い電圧Vaよりやや低い電圧に設定されている。したがって、第1の実施の形態と同様に、LC共振によりノードN1の電圧NV1が降下する。

【0095】また、このとき、電圧クランプ部CL3、CL4が回収コンデンサC1、C2に接続されていないため、電圧クランプ部CL3、CL4の影響を受けることなく、期間TBの全期間で、パネル容量Cpに蓄積された電荷の一部は、回収コイルL、ダイオードD2およびトランジスタQ4を介して回収コンデンサC1に蓄えられ、電荷の回収が行われる。

【0096】次に、期間TCにおいて、制御信号S1がハイレベルになりトランジスタQ1がオンし、制御信号S4がローレベルになりトランジスタQ4がオフする。したがって、ノードN1がダイオードD5およびトランジスタQ1を介して電源端子V1に接続され、ノードN1の電圧NV1が放電維持最低電圧Vminに固定される。

【0097】次に、期間TDにおいて、制御信号S1がローレベルになりトランジスタQ1がオフし、制御信号

10

20

30

40

50

S4がハイレベルになりトランジスタQ4がオンする。したがって、回収コンデンサC1がトランジスタQ4およびダイオードD2を介して回収コイルLに接続され、回収コイルLおよびパネル容量CpによるLC共振により、ノードN1の電圧NV1が滑らかに降下する。

【0098】ここで、ノードN4の電圧は、期間TBにおいて電荷の回収が行われたため、期間TCの初期時には、やや上昇しているが、放電維持最低電圧Vminの2分の1よりも低い電圧に設定されている。したがって、第1の実施の形態と同様に、サステインドライバ4

a内の抵抗成分によるエネルギー損失が補償され、LC共振によりノードN1の電圧NV1が放電停止電圧Vgである接地電位まで立ち下がる。

【0099】また、このとき、電圧クランプ部CL3、CL4が回収コンデンサC1、C2に接続されていないため、電圧クランプ部CL3、CL4の影響を受けることなく、パネル容量Cpに蓄積された残りの電荷は、回収コイルL、ダイオードD2およびトランジスタQ4を介して回収コンデンサC1に蓄えられ、電荷の回収が行われる。

【0100】次に、期間TEにおいて、制御信号S2がハイレベルになりトランジスタQ2がオンし、制御信号S4がローレベルになりトランジスタQ4がオフし、制御信号S5がハイレベルになりトランジスタQ5がオンし、制御信号S6がハイレベルになりトランジスタQ6がオンする。したがって、ノードN1が接地端子に接続され、ノードN1の電圧NV1はそのまま接地電位に固定される。また、ノードN3の電圧は、電圧クランプ部CL3によりVbに保持され、ノードN4の電圧は、電圧クランプ部CL4によりVaに保持され、この状態が維持される。

【0101】上記の動作を維持期間において繰り返し行うことにより、本実施の形態でも、第1の実施の形態と同様の効果が得られる。また、本実施の形態では、LC共振動作期間すなわち電荷回収期間は、電圧クランプ部CL3、CL4を回収コンデンサC1、C2に接続していないので、電圧クランプ部CL3、CL4の影響を受けない。したがって、期間TAの全期間で電荷を放出し、期間TB、TDで全期間で電荷を回収することができ、効率よく電荷を回収することができる。なお、本実施の形態のようなトランジスタQ5、Q6の付加は、以下の他の実施の形態にも同様に適用することができ、同様の効果を得ることができる。

【0102】(第3の実施の形態) 次に、本発明の第3の実施の形態によるサステインドライバについて図面を参照しながら説明する。図7は、本発明の第3の実施の形態によるサステインドライバの構成を示す回路図である。なお、図7に示すサステインドライバも図3に示すサステインドライバと同様に図1に示すプラズマディスプレイ装置に適用することができる。

【0103】図7に示すサステインドライバ4bと図3に示すサステインドライバ4とで異なる点は、電荷回収回路41が電荷回収回路41bに変更されることにより、ノードN2とノードN4との間にダイオードD6およびスイッチング素子であるFET(電界効果型トランジスタ、以下トランジスタと称する)Q7が付加され、電源端子V2に電圧Vbを供給される電圧クランプ部CL1が電源端子V4に電圧Vcを供給される電圧クランプ部CL5に変更された点であり、その他の点は図3に示すサステインドライバと同様であるので、同一部分には同一符号を付し詳細な説明を省略し、以下異なる部分についてのみ詳細に説明する。

【0104】図7に示すように、ダイオードD6およびトランジスタQ7は、ノードN2とノードN4との間に直列に接続される。トランジスタQ7のゲートには、制御信号S7が入力される。ダイオードD3は、電源端子V4とノードN3との間に接続されている。電源端子V4には、維持パルスPsuの最大ピーク電圧Vsusと一段目の立ち上がり時のピーク電圧との中間の電圧より高い電圧Vcが印加される。

【0105】本実施の形態では、トランジスタQ3、Q7、ダイオードD1、D6および電圧クランプ部CL5、CL2が遷移手段に相当し、トランジスタQ7、ダイオードD6および電圧クランプ部CL2が第1の遷移手段および第1の共振遷移手段に相当し、トランジスタQ3、ダイオードD1および電圧クランプ部CL5が第2の遷移手段および第2の共振遷移手段に相当する。また、トランジスタQ7およびダイオードD6が第1の立ち上げ用接続手段に相当し、トランジスタQ3およびダイオードD1が第2の立ち上げ用接続手段に相当する。また、ダイオードD6が第1の立ち上げ用一方導通素子に相当し、トランジスタQ7が第1の立ち上げ用スイッチング素子に相当し、ダイオードD1が第2の立ち上げ用一方導通素子に相当し、トランジスタQ3が第2の立ち上げ用スイッチング素子に相当し、その他の点は、第1の実施の形態と同様である。

【0106】図8は、図7に示すサステインドライバ4bの維持期間の動作を示すタイミング図である。図8には、図7のノードN1の電圧NV1、放電セルDCの放電電流I1および図7のトランジスタQ1~Q4、Q7に入力される制御信号S1~S4、S7が示される。

【0107】まず、期間TAにおいて、制御信号S2がローレベルになりトランジスタQ2がオフし、制御信号S7がハイレベルになりトランジスタQ7がオンする。このとき、制御信号S1はローレベルにありトランジスタQ1はオフし、制御信号S3はローレベルにありトランジスタQ3はオフし、制御信号S4はローレベルにありトランジスタQ4はオフしている。したがって、回収コンデンサC1がトランジスタQ7およびダイオードD6を介して回収コイルLに接続され、回収コイルLおよ

びパネル容量 C_p によるLC共振により、ノードN1の電圧 NV_1 が放電停止電圧 V_g である接地電位から滑らかに上昇する。

【0108】ここで、電源端子V3の電圧 V_a は、第1の実施の形態と同様に、放電維持最低電圧 V_{min} の2分の1より低い値、すなわち放電開始電圧 V_{st} の2分の1より低い値より設定されている。したがって、電圧クランプ部CL2によりノードN4の電圧が $V_{st}/2$ より低くなり、LC共振によりノードN1の電圧 NV_1 が放電開始電圧 V_{st} を越えない範囲で上昇する。また、このとき、回収コンデンサC1の電荷がトランジスタQ7、ダイオードD6および回収コイルLを介してパネル容量 C_p へ放出される。

【0109】次に、期間TBにおいて、制御信号S3がハイレベルになりトランジスタQ3がオンし、制御信号S7がローレベルになりトランジスタQ7がオフする。したがって、回収コンデンサC2がトランジスタQ3およびダイオードD1を介して回収コイルLに接続され、回収コイルLおよびパネル容量 C_p によるLC共振により、ノードN1の電圧 NV_1 が滑らかにさらに上昇する。

【0110】ここで、電源端子V4の電圧 V_c は、サステインドライバ4b内の抵抗成分を考慮し、最大ピーク電圧 V_{sus} と期間Aでのピーク電圧 V_p との中間の電圧より高い値に設定され、たとえば、 V_{sus} が約200Vで、 V_p が約130Vの場合、 V_c は約170~180Vに設定されている。したがって、電圧クランプ部CL5によりノードN3の電圧が最大ピーク電圧 V_{sus} と期間Aでのピーク電圧 V_p との中間の電圧より高くなり、LC共振によりノードN1の電圧 NV_1 が放電開始電圧 V_{st} を越えて最大ピーク電圧 V_{sus} まで上昇する。このとき、回収コンデンサC1、C2の電荷がトランジスタQ3、ダイオードD1および回収コイルLを介してパネル容量 C_p へ放出される。ノードN1の電圧 NV_1 が放電開始電圧 V_{st} を越えると、放電セルDCの維持放電が開始され、ノードN1を流れる放電電流成分のみを表す電流 I_1 が上昇し始める。

【0111】次に、期間TCにおいて、制御信号S3がローレベルになりトランジスタQ3がオフし、制御信号S4がハイレベルになりトランジスタQ4がオンする。したがって、回収コンデンサC1がダイオードD2およびトランジスタQ4を介して回収コイルLに接続され、回収コイルLおよびパネル容量 C_p によるLC共振により、ノードN1の電圧 NV_1 が最大ピーク電圧 V_{sus} から滑らかに降下する。

【0112】ここで、電源端子V3の電圧 V_a は、上記のように、放電維持最低電圧 V_{min} の2分の1より低い値に設定されている。したがって、電圧クランプ部CL2によりノードN4の電圧が $V_{min}/2$ より低くなり、LC共振によりノードN1の電圧 NV_1 が立ち下

る。

【0113】このとき、ノードN1の電流 I_1 は、電圧 NV_1 が最大ピーク電圧 V_{sus} に達してからやや遅れて極大値をとるとともに、そのタイミングには電圧 NV_1 がすでにピーク値より低くなっているため、従来の放電電流よりもその極大値が抑えられる。また、このとき、パネル容量 C_p に蓄えられた電荷の一部は、回収コイルL、ダイオードD2およびトランジスタQ4を介して回収コンデンサC1に蓄えられ、電荷の回収が行われる。

【0114】次に、期間TDにおいて、制御信号S1がハイレベルになりトランジスタQ1がオンし、制御信号S4がローレベルになりトランジスタQ4がオフする。したがって、ノードN1がダイオードD5およびトランジスタQ1を介して電源端子V1に接続され、ノードN1の電圧 NV_1 が放電維持最低電圧 V_{min} に固定される。

【0115】次に、期間TEにおいて、制御信号S1がローレベルになりトランジスタQ1がオフし、制御信号S4がハイレベルになりトランジスタQ4がオンする。したがって、回収コンデンサC1がダイオードD2およびトランジスタQ4を介して回収コイルLに接続され、回収コイルLおよびパネル容量 C_p によるLC共振により、ノードN1の電圧 NV_1 が滑らかに降下する。

【0116】ここで、電源端子V3の電圧 V_a は、上記のように、放電維持最低電圧 V_{min} の2分の1より低い値に設定されている。したがって、電圧クランプ部CL2によりノードN4の電圧が $V_{min}/2$ より低くなり、LC共振によりノードN1の電圧 NV_1 が放電停止電圧 V_g である接地電位まで立ち下がる。また、このとき、パネル容量 C_p に蓄えられた残りの電荷は、回収コイルL、ダイオードD2およびトランジスタQ4を介して回収コンデンサC1に蓄えられ、電荷の回収が行われる。

【0117】次に、期間TFにおいて、制御信号S2がハイレベルになりトランジスタQ2がオンし、制御信号S4がローレベルになりトランジスタQ4がオフする。したがって、ノードN1が接地端子に接続され、ノードN1の電圧 NV_1 が接地電位に固定される。

【0118】上記の動作を維持期間において繰り返し行うことにより、本実施の形態では、第1の実施の形態と同様の効果が得られるとともに、維持パルス P_{su} を二段階で放電開始電圧以上に立ち上げているので、立ち上げ時の消費電力をさらに少なくすることができる。

【0119】(第4の実施の形態) 次に、本発明の第4の実施の形態によるサステインドライバについて図面を参照しながら説明する。図9は、本発明の第4の実施の形態によるサステインドライバの構成を示す回路図である。なお、図9に示すサステインドライバも図3に示すサステインドライバと同様に図1に示すプラズマディス

10

20

30

40

50

プレイ装置に適用することができる。

【0120】図9に示すサステインドライバ4cと図7に示すサステインドライバ4bとで異なる点は、電荷回収回路41bが電荷回収回路41cに変更されることにより、ノードN2とノードN3との間にダイオードD7およびスイッチング素子であるFET（電界効果型トランジスタ、以下トランジスタと称する）Q8が付加された点であり、その他の点は図7に示すサステインドライバと同様であるので、同一部分には同一符号を付し詳細な説明を省略し、以下異なる部分についてのみ詳細に説明する。

【0121】図9に示すように、ダイオードD7およびトランジスタQ8は、ノードN2とノードN3との間に直列に接続される。トランジスタQ8のゲートには、制御信号S8が入力される。

【0122】本実施の形態では、トランジスタQ8、Q4、ダイオードD7、D2および電圧クランプ部CL5、CL2が逆遷移手段に相当し、トランジスタQ8、ダイオードD7および電圧クランプ部CL5が第1の共振逆遷移手段に相当し、トランジスタQ4、ダイオードD2および電圧クランプ部CL2が第2の共振逆遷移手段に相当する。また、トランジスタQ8およびダイオードD7が第1の立ち下げ用接続手段に相当し、トランジスタQ4およびダイオードD2が第2の立ち下げ用接続手段に相当する。また、ダイオードD7が第1の立ち下げ用一方導通素子に相当し、トランジスタQ8が第1の立ち下げ用スイッチング素子に相当し、ダイオードD2が第2の立ち下げ用一方導通素子に相当し、トランジスタQ4が第2の立ち下げ用スイッチング素子に相当し、その他の点は、第3の実施の形態と同様である。

【0123】図10は、図9に示すサステインドライバ4cの維持期間の動作を示すタイミング図である。図10には、図9のノードN1の電圧NV1、放電セルDCの放電電流I1および図9のトランジスタQ1～Q4、Q7、Q8に入力される制御信号S1～S4、S7、S8が示される。

【0124】まず、期間TAにおいて、制御信号S2がローレベルになりトランジスタQ2がオフし、制御信号S7がハイレベルになりトランジスタQ7がオンする。このとき、制御信号S1はローレベルにありトランジスタQ1はオフし、制御信号S3はローレベルにありトランジスタQ3はオフし、制御信号S4はローレベルにありトランジスタQ4はオフし、制御信号S8はローレベルにありトランジスタQ8はオフしている。したがって、回収コンデンサC1がトランジスタQ7およびダイオードD6を介して回収コイルLに接続され、回収コイルLおよびパネル容量CpによるLC共振により、ノードN1の電圧NV1が放電停止電圧Vgである接地電位から滑らかに上昇する。

【0125】ここで、電源端子V3の電圧Vaは、第1

の実施の形態と同様に、放電維持最低電圧Vminの2分の1より低い値、すなわち放電開始電圧Vstの2分の1より低い値より設定されている。したがって、電圧クランプ部CL2によりノードN4の電圧がVst/2より低くなり、LC共振によりノードN1の電圧NV1が放電開始電圧Vstを越えない範囲で上昇する。また、このとき、回収コンデンサC1の電荷がトランジスタQ7、ダイオードD6および回収コイルLを介してパネル容量Cpへ放出される。

【0126】次に、期間TBにおいて、制御信号S3がハイレベルになりトランジスタQ3がオンし、制御信号S7がローレベルになりトランジスタQ7がオフする。したがって、回収コンデンサC2がトランジスタQ3およびダイオードD1を介して回収コイルLに接続され、回収コイルLおよびパネル容量CpによるLC共振により、ノードN1の電圧NV1が滑らかにさらに上昇する。

【0127】ここで、電源端子V4の電圧Vcは、第3の実施の形態と同様に、最大ピーク電圧Vsusと期間Aでのピーク電圧Vpとの中間の電圧より高い値に設定されている。したがって、電圧クランプ部CL5によりノードN3の電圧が最大ピーク電圧Vsusと期間Aでのピーク電圧Vpとの中間の電圧より高くなり、LC共振によりノードN1の電圧NV1が放電開始電圧Vstを越えて最大ピーク電圧Vsusまで上昇する。このとき、回収コンデンサC1、C2の電荷がトランジスタQ3、ダイオードD1および回収コイルLを介してパネル容量Cpへ放出される。ノードN1の電圧NV1が放電開始電圧Vstを越えると、放電セルDCの維持放電が開始され、ノードN1を流れる放電電流成分のみを表す電流I1が上昇し始める。

【0128】次に、期間TCにおいて、制御信号S3がローレベルになりトランジスタQ3がオフし、制御信号S8がハイレベルになりトランジスタQ8がオンする。したがって、回収コンデンサC2がダイオードD7およびトランジスタQ8を介して回収コイルLに接続され、回収コイルLおよびパネル容量CpによるLC共振により、ノードN1の電圧NV1が最大ピーク電圧Vsusから滑らかに降下する。

【0129】ここで、電源端子V4の電圧Vcは、上記のように、最大ピーク電圧Vsusと期間Aでのピーク電圧Vpとの中間の電圧より高い値に設定されている。したがって、電圧クランプ部CL5によりノードN4の電圧が最大ピーク電圧Vsusと期間Aでのピーク電圧Vpとの中間の電圧より高くなり、LC共振によりノードN1の電圧NV1が立ち下がるが、サステインドライバ4c内の抵抗成分により放電維持最低電圧Vminまでは立ち下がらない。

【0130】このとき、ノードN1の電流I1は、電圧NV1が最大ピーク電圧Vsusに達してからやや遅れ

て極大値をとるとともに、そのタイミングには電圧NV1がすでにピーク値より低くなっているため、従来の放電電流よりもその極大値が抑えられる。また、このとき、パネル容量Cpに蓄えられた電荷の一部は、回収コイルL、ダイオードD7およびトランジスタQ8を介して回収コンデンサC2に蓄えられ、電荷の回収が行われる。

【0131】次に、期間TDにおいて、制御信号S1がハイレベルになりトランジスタQ1がオンし、制御信号S8がローレベルになりトランジスタQ8がオフする。したがって、ノードN1がダイオードD5およびトランジスタQ1を介して電源端子V1に接続され、ノードN1の電圧NV1が急激に降下して放電維持最低電圧Vminに固定される。

【0132】次に、期間TEにおいて、制御信号S1がローレベルになりトランジスタQ1がオフし、制御信号S4がハイレベルになりトランジスタQ4がオンする。したがって、回収コンデンサC1がダイオードD2およびトランジスタQ4を介して回収コイルLに接続され、回収コイルLおよびパネル容量CpによるLC共振により、ノードN1の電圧NV1が滑らかに降下する。

【0133】ここで、電源端子V3の電圧Vaは、上記のように、放電維持最低電圧Vminの2分の1より低い値に設定されている。したがって、電圧クランプ部CL2によりノードN3の電圧がVmin/2より低くなり、LC共振によりノードN1の電圧NV1が放電停止電圧Vgである接地電位まで立ち下がる。また、このとき、パネル容量Cpに蓄えられた残りの電荷は、回収コイルL、ダイオードD2およびトランジスタQ4を介して回収コンデンサC1に蓄えられ、電荷の回収が行われる。

【0134】次に、期間TFにおいて、制御信号S2がハイレベルになりトランジスタQ2がオンし、制御信号S4がローレベルになりトランジスタQ4がオフする。したがって、ノードN1が接地端子に接続され、ノードN1の電圧NV1が接地電位に固定される。

【0135】上記の動作を維持期間において繰り返し行うことにより、本実施の形態でも、第3の実施の形態と同様の効果が得られる。

【0136】(第5の実施の形態) 上記の第1乃至第4の実施の形態のサステインドライバでは、維持パルスPsuの立ち上がり時に維持放電を行わせていたが、維持パルスPsuの立ち下がり時に維持放電を行わせることも可能であり、以下に説明する本発明の第5乃至第8の実施の形態によるサステインドライバは、維持パルスPsuの立ち下がり時に維持放電を行わせるサステインドライバであり、維持パルスPsuの立ち下がり時に維持放電を行うプラズマディスプレイ装置に適用される。図11は、本発明の第5の実施の形態によるサステインドライバの構成を示す回路図である。

【0137】図11に示すサステインドライバ4dと図3に示すサステインドライバ4とで異なる点は、放電維持最低電圧Vminが印加される電源端子V1が放電停止電圧Vgが印加される電源端子V5に変更され、トランジスタQ2と接地端子との間にダイオードD8が付加されるとともに、電荷回収回路41が電荷回収回路41dに変更されることにより、電源端子V2に電圧Vbを供給される電圧クランプ部CL1が電源端子V6に電圧Veを供給される電圧クランプ部CL6に変更され、電源端子V3に電圧Vaを供給される電圧クランプ部CL2が電源端子V7に電圧Vdを供給される電圧クランプ部CL7に変更された点であり、その他の点は図3に示すサステインドライバと同様であるので、同一部分には同一符号を付し詳細な説明を省略し、以下異なる部分についてのみ詳細に説明する。

【0138】図11に示すように、電源端子V5は、ダイオードD5に接続され、放電停止電圧Vgが印加される。ダイオードD8は、ノードN1の電圧が接地電位より低くなったときにトランジスタQ2のドレインとソースとの間にもともと寄生しているダイオードが導通しないように、トランジスタQ2と接地端子との間に接続される。電圧クランプ部CL6はノードN3に接続され、電源端子V6はダイオードD3に接続される。電源端子V6には、放電維持最低電圧Vmin(本実施の形態では、接地電位)と放電停止電圧Vgとの中間の電圧より高い電圧Veが印加される。電圧クランプ部CL7はノードN4に接続され、電源端子V7はダイオードD4に接続される。電源端子V7には、維持パルスPsuの最小ピーク電圧Vsuと放電停止電圧Vgとの中間の電圧より低い電圧Vdが印加される。

【0139】本実施の形態では、トランジスタQ4、ダイオードD2および電圧クランプ部CL7が遷移手段および共振遷移手段に相当し、トランジスタQ3、ダイオードD1および電圧クランプ部CL6が逆遷移手段および共振逆遷移手段に相当し、ダイオードD8およびトランジスタQ2が保持手段に相当する。また、電圧クランプ部CL6が第1の電圧保持手段に相当し、電圧クランプ部CL7が第2の電圧保持手段に相当する。また、ダイオードD8が保持用一方導通素子に相当し、トランジスタQ2が保持用スイッチング素子に相当し、その他の点は、第1の実施の形態と同様である。

【0140】図12は、図11に示すサステインドライバの維持期間の動作を示すタイミング図である。図12には、図11のノードN1の電圧NV1、放電セルDCの放電電流I1および図11のトランジスタQ1~Q4に入力される制御信号S1~S4が示される。

【0141】まず、期間TAにおいて、制御信号S1がローレベルになりトランジスタQ1がオフし、制御信号S4がハイレベルになりトランジスタQ4がオンする。このとき、制御信号S2はローレベルにありトランジスタ

タQ2はオフし、制御信号S3はローレベルにありトランジスタQ3はオフしている。したがって、回収コンデンサC1がトランジスタQ4およびダイオードD2を介して回収コイルLに接続され、回収コイルLおよびパネル容量CpによるLC共振により、ノードN1の電圧NV1が放電停止電圧Vgから滑らかに降下する。

【0142】ここで、電源端子V7の電圧Vdは、回収コイルL、ダイオードD2およびトランジスタQ4等の抵抗成分による電圧低下を考慮し、最小ピーク電圧Vsusと放電停止電圧Vgとの中間の電圧より低い電圧に設定されている。したがって、電圧クランプ部CL7によりノードN4の電圧がVsusとVgとの中間の電圧より低くなり、サステインドライバ4d内の抵抗成分によるエネルギー損失が補償され、LC共振によりノードN1の電圧NV1が放電開始電圧Vstを越えて最小ピーク電圧Vsusまで降下する。このとき、パネル容量Cpの電荷は、トランジスタQ4、ダイオードD2および回収コイルLを介して回収コンデンサC1に蓄えられ、電荷の回収が行われる。ノードN1の電圧NV1が放電開始電圧Vstを越えると、放電セルDCの維持放電が開始され、ノードN1を流れる放電電流成分のみを表す電流I1が上昇し始める。

【0143】次に、期間TBにおいて、制御信号S3がハイレベルになりトランジスタQ3がオンし、制御信号S4がローレベルになりトランジスタQ4がオフする。したがって、回収コンデンサC1、C2がダイオードD1およびトランジスタQ3を介して回収コイルLに接続され、回収コイルLおよびパネル容量CpによるLC共振により、ノードN1の電圧NV1が最小ピーク電圧Vsusから滑らかに上昇する。

【0144】ここで、電源端子V6の電圧Veは、放電維持最低電圧Vminと放電停止電圧Vgとの中間の電圧より高い電圧に設定されている。したがって、電圧クランプ部CL6によりノードN3の電圧がVg/2より高くなり、LC共振によりノードN1の電圧NV1が上昇する。

【0145】このとき、ノードN1の電流I1は、電圧NV1が最小ピーク電圧Vsusに達してからやや遅れて極大値をとるとともに、そのタイミングには電圧NV1がすでにピーク値より高くなっているため、従来の駆動回路による放電電流よりもその極大値が抑えられる。また、このとき、回収コンデンサC1、C2の電荷が回収コイルL、ダイオードD1およびトランジスタQ3を介してパネル容量Cpへ放出される。

【0146】次に、期間TCにおいて、制御信号S2がハイレベルになりトランジスタQ2がオンし、制御信号S3がローレベルになりトランジスタQ3がオフする。したがって、ノードN1がダイオードD8およびトランジスタQ2を介して接地端子に接続され、ノードN1の電圧NV1が放電維持最低電圧Vminである接地電位

に固定される。

【0147】次に、期間TDにおいて、制御信号S2がローレベルになりトランジスタQ2がオフし、制御信号S3がハイレベルになりトランジスタQ3がオンする。したがって、回収コンデンサC1、C2がダイオードD1およびトランジスタQ3を介して回収コイルLに接続され、回収コイルLおよびパネル容量CpによるLC共振により、ノードN1の電圧NV1が滑らかに上昇する。

【0148】ここで、電源端子V6の電圧Veは、回収コイルL、ダイオードD1およびトランジスタQ3等の抵抗成分を考慮し、放電維持最低電圧Vminと放電停止電圧Vgとの中間の電圧より高い電圧に設定されている。したがって、電圧クランプ部CL6によりノードN3の電圧がVg/2より高くなり、サステインドライバ4d内の抵抗成分によるエネルギー損失が補償され、LC共振によりノードN1の電圧NV1が放電停止電圧Vgまで立ち上がる。また、このとき、回収コンデンサC1、C2の電荷が回収コイルL、ダイオードD1およびトランジスタQ3を介してパネル容量Cpへ放出される。

【0149】次に、期間TEにおいて、制御信号S1がハイレベルになりトランジスタQ1がオンし、制御信号S3がローレベルになりトランジスタQ3がオフする。したがって、ノードN1がダイオードD5およびトランジスタQ1を介して電源端子V5に接続され、ノードN1の電圧NV1がそのまま放電停止電圧Vgに固定される。

【0150】上記の動作を維持期間において繰り返し行うことにより、周期的な維持パルスPsuを複数のサステイン電極13に印加することができる。したがって、維持パルスPsuの電圧NV1が放電開始電圧Vst以下になるように維持パルスPsuを滑らかに立ち下げて維持放電を発生させ、放電電流I1が極大値をとる以前に維持パルスPsuを滑らかに立ち上げて放電維持最低電圧Vminに保持し、後続の繰り返し放電を維持させることができる。

【0151】この結果、維持期間において、放電電流である電流I1の極大値を抑えることができるとともに、維持パルスPsuにおいて電流I1の極大値の周辺の電圧NV1を必要最低限の電圧に設定することができるので、少ない消費電力で放電セルDCの維持放電を行うことができる。また、LC共振により滑らかに駆動パルスPsuを立ち下げおよび立ち上げているので、この部分にエッジ部を形成することがなく、不要な電磁波の放射を抑制することができる。

【0152】また、本実施の形態では、簡略な回路構成により、LC共振により上記波形を有する維持パルスPsuを出力することができるとともに、電荷を回収することもできるので、さらに消費電力を少なくすることが

10

20

30

40

50

できる。

【0153】また、本実施の形態では、維持パルス P_{su} が滑らかではあるが十分に急峻に立ち下がるため、放電の際に発生される紫外線光が弱まることがなく、放電セルDCに設けられた蛍光体を十分強く発光させることができ、投入電力に対して効率のよい発光を行うことができる。

【0154】(第6の実施の形態)次に、本発明の第6の実施の形態によるサステインドライバについて図面を参照しながら説明する。図13は、本発明の第6実施の形態によるサステインドライバの構成を示す回路図である。

【0155】図13に示すサステインドライバ4eと図11に示すサステインドライバ4dとで異なる点は、電荷回収回路41dが電荷回収回路41eに変更されることにより、電源端子V6、V7とダイオードD3、D4との間にスイッチング素子であるトランジスタQ5、Q6がそれぞれ付加された点であり、その他の点は図11に示すサステインドライバと同様であるので、同一部分には同一符号を付し詳細な説明を省略し、以下異なる部分についてのみ詳細に説明する。

【0156】図13に示すように、電圧クランプ部CL8は、ノードN3に接続され、電圧クランプ部CL9は、ノードN4に接続される。電圧クランプ部CL8は、トランジスタQ5およびダイオードD3を含み、電圧クランプ部CL9は、トランジスタQ6およびダイオードD4を含む。トランジスタQ5は、電源端子V6とダイオードD3との間に接続され、トランジスタQ6は、電源端子V7とダイオードD4との間に接続される。トランジスタQ5のゲートには、制御信号S5が入力され、トランジスタQ6のゲートには、制御信号S6が入力される。

【0157】本実施の形態では、トランジスタQ5が第1のスイッチング素子に相当し、トランジスタQ6が第2のスイッチング素子に相当し、その他の点は、第5の実施の形態と同様である。

【0158】図14は、図13に示すサステインドライバ4eの維持期間の動作を示すタイミング図である。図14には、図13のノードN1の電圧NV1、放電セルDCの放電電流I1および図13のトランジスタQ1～Q6に入力される制御信号S1～S6が示される。

【0159】まず、期間TAにおいて、制御信号S1がローレベルになりトランジスタQ1がオフし、制御信号S4がハイレベルになりトランジスタQ4がオンし、制御信号S5がローレベルになりトランジスタQ5がオフし、制御信号S6がローレベルになりトランジスタQ6がオフする。このとき、制御信号S2はローレベルにありトランジスタQ2はオフし、制御信号S3はローレベルにありトランジスタQ3がオフしている。したがって、回収コンデンサC1がトランジスタQ4およびダイ

オードD2を介して回収コイルLに接続され、回収コイルLおよびパネル容量CpによるLC共振により、ノードN1の電圧NV1が放電停止電圧Vgから滑らかに降下する。

【0160】ここで、ノードN4の電圧は、後述するように、ノードN4が期間TAの前(期間TE)において電圧クランプ部CL9に接続されていたため、期間TAの初期時には維持パルス P_{su} の最小ピーク電圧 V_{sus} と放電停止電圧Vgとの中間の電圧より低い電圧Vdに設定されている。したがって、第5の実施の形態と同様に、サステインドライバ4e内の抵抗成分によるエネルギー損失が補償され、LC共振によりノードN1の電圧NV1が放電開始電圧Vstを越えて最小ピーク電圧 V_{sus} まで降下する。このとき、電圧クランプ部CL8、CL9が回収コンデンサC1、C2に接続されていないため、電圧クランプ部CL8、CL9の影響を受けることなく、パネル容量Cpの電荷が期間TAの全期間でトランジスタQ4、ダイオードD2および回収コイルLを介して回収コンデンサC1に蓄えられ、電荷の回収が行われる。ノードN1の電圧NV1が放電開始電圧を越えると、放電セルDCの維持放電が開始され、ノードN1を流れる放電電流成分のみを表す電流I1が上昇し始める。

【0161】次に、期間TBにおいて、制御信号S3がハイレベルになりトランジスタQ3がオンし、制御信号S4がローレベルになりトランジスタQ4がオフする。したがって、回収コンデンサC1、C2がダイオードD1およびトランジスタQ3を介して回収コイルLに接続され、回収コイルLおよびパネル容量CpによるLC共振により、ノードN1の電圧NV1が最小ピーク電圧 V_{sus} から滑らかに上昇する。

【0162】ここで、ノードN3の電圧は、後述するように、ノードN3が期間TEにおいて電圧クランプ部CL8に接続され、その後期間TAにおいて電荷の回収が行われたため、期間TBの初期時には放電維持最低電圧 V_{min} と放電停止電圧Vgとの中間の電圧より高い電圧Veよりやや高い電圧に設定されている。したがって、第5の実施の形態と同様に、LC共振によりノードN1の電圧NV1が降下する。

【0163】また、このとき、電圧クランプ部CL8、CL9が回収コンデンサC1、C2に接続されていないため、電圧クランプ部CL8、CL9の影響を受けることなく、期間TBの全期間で、回収コンデンサC1、C2の電荷が回収コイルL、ダイオードD1およびトランジスタQ3を介してパネル容量Cpへ放出される。

【0164】次に、期間TCにおいて、制御信号S2がハイレベルになりトランジスタQ2がオンし、制御信号S3がローレベルになりトランジスタQ3がオフする。したがって、ノードN1がダイオードD8およびトランジスタQ2を介して接地端子に接続され、ノードN1の

電圧 $NV1$ が放電維持最低電圧 V_{min} である接地電位に固定される。

【0165】次に、期間 TD において、制御信号 $S2$ がローレベルになりトランジスタ $Q2$ がオフし、制御信号 $S3$ がハイレベルになりトランジスタ $Q3$ がオンする。したがって、回収コンデンサ $C1$ 、 $C2$ がトランジスタ $Q3$ およびダイオード $D1$ を介して回収コイル L に接続され、回収コイル L およびパネル容量 C_p による LC 共振により、ノード $N1$ の電圧 $NV1$ が滑らかに上昇する。

【0166】ここで、ノード $N3$ の電圧は、期間 TB において電荷の放出が行われたため、期間 TC の初期時には、やや低下しているが、放電維持最低電圧 V_{min} と放電停止電圧 V_g との中間の電圧より高い電圧に設定されている。したがって、第5の実施の形態と同様に、サステインドライバ $4e$ 内の抵抗成分によるエネルギー損失が補償され、 LC 共振によりノード $N1$ の電圧 $NV1$ が放電停止電圧 V_g まで立ち上がる。

【0167】また、このとき、電圧クランプ部 $CL8$ 、 $CL9$ が回収コンデンサ $C1$ 、 $C2$ に接続されていないため、電圧クランプ部 $CL8$ 、 $CL9$ の影響を受けることなく、回収コンデンサ $C1$ 、 $C2$ の電荷が回収コイル L 、ダイオード $D1$ およびトランジスタ $Q3$ を介してパネル容量 C_p へ放出される。

【0168】次に、期間 TE において、制御信号 $S1$ がハイレベルになりトランジスタ $Q1$ がオンし、制御信号 $S3$ がローレベルになりトランジスタ $Q3$ がオフし、制御信号 $S5$ がハイレベルになりトランジスタ $Q5$ がオンし、制御信号 $S6$ がハイレベルになりトランジスタ $Q6$ がオンする。したがって、ノード $N1$ がダイオード $D5$ およびトランジスタ $Q1$ を介して電源端子 $V5$ に接続され、ノード $N1$ の電圧 $NV1$ はそのまま放電停止電圧 V_g に固定される。また、ノード $N3$ の電圧は、電圧クランプ部 $CL8$ により V_e に保持され、ノード $N4$ の電圧は、電圧クランプ部 $CL9$ により V_d に保持され、この状態が維持される。

【0169】上記の動作を維持期間において繰り返し行うことにより、本実施の形態でも、第5の実施の形態と同様の効果が得られる。また、本実施の形態では、 LC 共振動作期間すなわち電荷回収期間は、電圧クランプ部 $CL8$ 、 $CL9$ を回収コンデンサ $C1$ 、 $C2$ に接続していないので、電圧クランプ部 $CL8$ 、 $CL9$ の影響を受けない。したがって、期間 TA の全期間で電荷を回収し、期間 TB 、 TD で全期間で電荷を放出することができる。

【0170】(第7の実施の形態) 次に、本発明の第7の実施の形態によるサステインドライバについて図面を参照しながら説明する。図15は、本発明の第7の実施の形態によるサステインドライバの構成を示す回路図である。

【0171】図15に示すサステインドライバ $4f$ と図11に示すサステインドライバ $4d$ とで異なる点は、電荷回収回路 $41d$ が電荷回収回路 $41f$ に変更されることにより、ノード $N2$ とノード $N3$ との間にダイオード $D7$ およびトランジスタ $Q8$ が付加され、電源端子 $V7$ に電圧 V_d を供給される電圧クランプ部 $CL7$ が電源端子 $V8$ に電圧 V_f を供給される電圧クランプ部 $CL10$ に変更された点であり、その他の点は図11に示すサステインドライバと同様であるので、同一部分には同一符号を付し詳細な説明を省略し、以下異なる部分についてのみ詳細に説明する。

【0172】図15に示すように、ダイオード $D7$ およびトランジスタ $Q8$ は、ノード $N2$ とノード $N3$ との間に直列に接続される。トランジスタ $Q8$ のゲートには、制御信号 $S8$ が入力される。ダイオード $D4$ は、電源端子 $V8$ とノード $N4$ との間に接続されている。電源端子 $V8$ には、維持パルス P_{su} の最小ピーク電圧 V_{sus} と一段目の立ち下がり時のピーク電圧との中間の電圧より低い電圧 V_f が印加される。

【0173】本実施の形態では、トランジスタ $Q4$ 、 $Q8$ 、ダイオード $D2$ 、 $D7$ および電圧クランプ部 $CL6$ 、 $CL10$ が遷移手段に相当し、トランジスタ $Q8$ 、ダイオード $D7$ および電圧クランプ部 $CL6$ が第1の遷移手段および第1の共振遷移手段に相当し、トランジスタ $Q4$ 、ダイオード $D2$ および電圧クランプ部 $CL10$ が第2の遷移手段および第2の共振遷移手段に相当する。また、トランジスタ $Q8$ およびダイオード $D7$ が第1の立ち下げ用接続手段に相当し、トランジスタ $Q4$ およびダイオード $D2$ が第2の立ち下げ用接続手段に相当する。また、ダイオード $D7$ が第1の立ち下げ用一方導通素子に相当し、トランジスタ $Q8$ が第1の立ち下げ用スイッチング素子に相当し、ダイオード $D2$ が第2の立ち下げ用一方導通素子に相当し、トランジスタ $Q4$ が第2の立ち下げ用スイッチング素子に相当し、その他の点は、第5の実施の形態と同様である。

【0174】図16は、図15に示すサステインドライバ $4f$ の維持期間の動作を示すタイミング図である。図16には、図15のノード $N1$ の電圧 $NV1$ 、放電セル DC の放電電流 $I1$ および図15のトランジスタ $Q1$ ～ $Q4$ 、 $Q8$ に入力される制御信号 $S1$ ～ $S4$ 、 $S8$ が示される。

【0175】まず、期間 TA において、制御信号 $S1$ がローレベルになりトランジスタ $Q1$ がオフし、制御信号 $S8$ がハイレベルになりトランジスタ $Q8$ がオンする。このとき、制御信号 $S2$ はローレベルにありトランジスタ $Q2$ はオフし、制御信号 $S3$ はローレベルにありトランジスタ $Q3$ はオフし、制御信号 $S4$ はローレベルにありトランジスタ $Q4$ はオフしている。したがって、回収コンデンサ $C2$ がトランジスタ $Q8$ およびダイオード $D7$ を介して回収コイル L に接続され、回収コイル L およ

10

20

30

40

50

びパネル容量 C_p によるLC共振により、ノードN1の電圧NV1が放電停止電圧 V_g から滑らかに降下する。

【0176】ここで、電源端子V6の電圧 V_e は、第5の実施の形態と同様に、放電維持最低電圧 V_{min} と放電停止電圧 V_g との中間の電圧より高い値、すなわち放電開始電圧 V_{st} と放電停止電圧 V_g との中間の電圧より高い値に設定されている。したがって、電圧クランプ部CL6によりノードN3の電圧が V_{st} と V_g との中間の電圧より高くなり、LC共振によりノードN1の電圧NV1が放電開始電圧 V_{st} を越えない範囲で降下する。また、このとき、パネル容量 C_p の電荷がトランジスタQ8、ダイオードD7および回収コイルLを介して回収コンデンサC1、C2に蓄えられ、電荷の回収が行われる。

【0177】次に、期間TBにおいて、制御信号S4がハイレベルになりトランジスタQ4がオンし、制御信号S8がローレベルになりトランジスタQ8がオフする。したがって、回収コンデンサC1がトランジスタQ4およびダイオードD2を介して回収コイルLに接続され、回収コイルLおよびパネル容量 C_p によるLC共振により、ノードN1の電圧NV1が滑らかにさらに降下する。

【0178】ここで、電源端子V8の電圧 V_f は、サステインドライバ4f内の抵抗成分を考慮し、最小ピーク電圧 V_{sus} と期間Aでのピーク電圧 V_p との中間の電圧より低い値に設定されている。したがって、電圧クランプ部CL8によりノードN4の電圧が最小ピーク電圧 V_{sus} と期間Aでのピーク電圧 V_p との中間の電圧より低くなり、LC共振によりノードN1の電圧NV1が放電開始電圧 V_{st} を越えて最小ピーク電圧 V_{sus} まで降下する。このとき、パネル容量 C_p の電荷がトランジスタQ4、ダイオードD2および回収コイルLを介して回収コンデンサC1に蓄えられ、電荷の回収が行われる。ノードN1の電圧NV1が放電開始電圧 V_{st} を越えると、放電セルDCの維持放電が開始され、ノードN1を流れる放電電流成分のみを表す電流I1が上昇し始める。

【0179】次に、期間TCにおいて、制御信号S3がハイレベルになりトランジスタQ3がオンし、制御信号S4がローレベルになりトランジスタQ4がオフする。したがって、回収コンデンサC2がダイオードD1およびトランジスタQ3を介して回収コイルLに接続され、回収コイルLおよびパネル容量 C_p によるLC共振により、ノードN1の電圧NV1が最小ピーク電圧 V_{sus} から滑らかに上昇する。

【0180】ここで、電源端子V6の電圧 V_e は、上記のように、放電維持最低電圧 V_{min} と放電停止電圧 V_g との中間の電圧より高い値に設定されている。したがって、電圧クランプ部CL6によりノードN3の電圧が $V_g/2$ より高くなり、LC共振によりノードN1の電

圧NV1が立ち上がる。

【0181】このとき、ノードN1の電流I1は、電圧NV1が最小ピーク電圧 V_{sus} に達してからやや遅れて極大値をとるとともに、そのタイミングには電圧NV1がすでにピーク値より高くなっているため、従来の放電電流よりもその極大値が抑えられる。また、このとき、回収コンデンサC1、C2の電荷は、回収コイルL、ダイオードD1およびトランジスタQ3を介してパネル容量 C_p へ放出される。

【0182】次に、期間TDにおいて、制御信号S2がハイレベルになりトランジスタQ2がオンし、制御信号S3がローレベルになりトランジスタQ3がオフする。したがって、ノードN1がダイオードD8およびトランジスタQ2を介して接地端子に接続され、ノードN1の電圧NV1が放電維持最低電圧 V_{min} である接地電位に固定される。

【0183】次に、期間TEにおいて、制御信号S2がローレベルになりトランジスタQ2がオフし、制御信号S3がハイレベルになりトランジスタQ3がオンする。したがって、回収コンデンサC2がダイオードD1およびトランジスタQ3を介して回収コイルLに接続され、回収コイルLおよびパネル容量 C_p によるLC共振により、ノードN1の電圧NV1が滑らかに上昇する。

【0184】ここで、電源端子V6の電圧 V_e は、上記のように、放電維持最低電圧 V_{min} と放電停止電圧 V_g との中間の電圧より高い値に設定されている。したがって、電圧クランプ部CL6によりノードN3の電圧が $V_g/2$ より高くなり、LC共振によりノードN1の電圧NV1が放電停止電圧 V_g まで立ち上がる。また、このとき、回収コンデンサC1、C2の電荷は、回収コイルL、ダイオードD1およびトランジスタQ3を介してパネル容量 C_p へ放出される。

【0185】次に、期間TFにおいて、制御信号S1がハイレベルになりトランジスタQ1がオンし、制御信号S3がローレベルになりトランジスタQ3がオフする。したがって、ノードN1がダイオードD5およびトランジスタQ1を介して電源端子V8に接続され、ノードN1の電圧NV1が放電停止電圧 V_g に固定される。

【0186】上記の動作を維持期間において繰り返し行うことにより、本実施の形態では、第5の実施の形態と同様の効果が得られるとともに、維持パルス P_{su} を二段階で放電開始電圧以上に立ち下げているので、立ち下げ時の消費電力をさらに少なくすることができる。

【0187】(第8の実施の形態) 次に、本発明の第8の実施の形態によるサステインドライバについて図面を参照しながら説明する。図17は、本発明の第8の実施の形態によるサステインドライバの構成を示す回路図である。

【0188】図17に示すサステインドライバ4gと図15に示すサステインドライバ4fとで異なる点は、電

10

20

30

40

50

荷回収回路41fが荷回収回路41gに変更されることにより、ノードN2とノードN4との間にダイオードD6およびトランジスタQ7が付加された点であり、その他の点は図15に示すサステインドライバと同様であるので、同一部分には同一符号を付し詳細な説明を省略し、以下異なる部分についてのみ詳細に説明する。

【0189】図17に示すように、ダイオードD6およびトランジスタQ7は、ノードN2とノードN4との間に直列に接続される。トランジスタQ7のゲートには、制御信号S7が入力される。

【0190】本実施の形態では、トランジスタQ7、Q3、ダイオードD6、D1および電圧クランプ部CL10、CL6が逆遷移手段に相当し、トランジスタQ7、ダイオードD6および電圧クランプ部CL10が第1の共振逆遷移手段に相当し、トランジスタQ3、ダイオードD1および電圧クランプ部CL6が第2の共振逆遷移手段に相当する。また、ダイオードD7が第1の立ち下げ用一方向導通素子に相当し、トランジスタQ8が第1の立ち下げ用スイッチング素子に相当し、ダイオードD2が第2の立ち下げ用一方向導通素子に相当し、トランジスタQ4が第2の立ち下げ用スイッチング素子に相当し、その他の点は、第7の実施の形態と同様である。

【0191】図18は、図17に示すサステインドライバ4gの維持期間の動作を示すタイミング図である。図18には、図17のノードN1の電圧NV1、放電セルDCの放電電流I1および図17のトランジスタQ1～Q4、Q7、Q8に入力される制御信号S1～S4、S7、S8が示される。

【0192】まず、期間TAにおいて、制御信号S1がローレベルになりトランジスタQ1がオフし、制御信号S8がハイレベルになりトランジスタQ8がオンする。このとき、制御信号S2はローレベルにありトランジスタQ2はオフし、制御信号S3はローレベルにありトランジスタQ3はオフし、制御信号S4はローレベルにありトランジスタQ4はオフし、制御信号S7はローレベルにありトランジスタQ7はオフしている。したがって、回収コンデンサC2がトランジスタQ8およびダイオードD7を介して回収コイルLに接続され、回収コイルLおよびパネル容量CpによるLC共振により、ノードN1の電圧NV1が放電停止電圧Vgから滑らかに降下する。

【0193】ここで、電源端子V6の電圧Veは、第5の実施の形態と同様に、放電維持最低電圧Vminと放電停止電圧Vgとの中間の電圧より高い値、すなわち放電開始電圧Vstと放電停止電圧Vgとの中間の電圧より高い値に設定されている。したがって、電圧クランプ部CL6によりノードN3の電圧がVstとVgとの中間の電圧より高くなり、LC共振によりノードN1の電圧NV1が放電開始電圧Vstを越えない範囲で上昇する。また、このとき、パネル容量Cpの電荷がトランジ

スタQ8、ダイオードD7および回収コイルLを介して回収コンデンサC1、C2に蓄えられ、電荷の回収が行われる。

【0194】次に、期間TBにおいて、制御信号S4がハイレベルになりトランジスタQ4がオンし、制御信号S8がローレベルになりトランジスタQ8がオフする。したがって、回収コンデンサC1がトランジスタQ4およびダイオードD2を介して回収コイルLに接続され、回収コイルLおよびパネル容量CpによるLC共振により、ノードN1の電圧NV1が滑らかにさらに降下する。

【0195】ここで、電源端子V8の電圧Vfは、第7の実施の形態と同様に、最小ピーク電圧Vsusと期間Aでのピーク電圧Vpとの中間の電圧より低い値に設定されている。したがって、電圧クランプ部CL10によりノードN4の電圧が最小ピーク電圧Vsusと期間Aでのピーク電圧Vpとの中間の電圧より低くなり、LC共振によりノードN1の電圧NV1が放電開始電圧Vstを越えて最小ピーク電圧Vsusまで降下する。このとき、パネル容量Cpの電荷がトランジスタQ4、ダイオードD2および回収コイルLを介して回収コンデンサC1に蓄えられ、電荷の回収が行われる。ノードN1の電圧NV1が放電開始電圧Vstを越えると、放電セルDCの維持放電が開始され、ノードN1を流れる放電電流成分のみを表す電流I1が上昇し始める。

【0196】次に、期間TCにおいて、制御信号S4がローレベルになりトランジスタQ4がオフし、制御信号S7がハイレベルになりトランジスタQ7がオンする。したがって、回収コンデンサC1がダイオードD6およびトランジスタQ7を介して回収コイルLに接続され、回収コイルLおよびパネル容量CpによるLC共振により、ノードN1の電圧NV1が最小ピーク電圧Vsusから滑らかに上昇する。

【0197】ここで、電源端子V8の電圧Vfは、上記のように、最小ピーク電圧Vsusと期間Aでのピーク電圧Vpとの中間の電圧より低い値に設定されている。したがって、電圧クランプ部CL10によりノードN4の電圧が最小ピーク電圧Vsusと期間Aでのピーク電圧Vpとの中間の電圧より低くなり、LC共振によりノードN1の電圧NV1が立ち上がるが、サステインドライバ4g内の抵抗成分により放電維持最低電圧Vminまでは立ち上がらない。

【0198】このとき、ノードN1の電流I1は、電圧NV1が最小ピーク電圧Vsusに達してからやや遅れて極大値をとるとともに、そのタイミングには電圧NV1がすでにピーク値より高くなっているため、従来の放電電流よりもその極大値が抑えられる。また、このとき、回収コンデンサC1の電荷は、回収コイルL、ダイオードD6およびトランジスタQ7を介してパネル容量Cpへ放出される。

【0199】次に、期間TDにおいて、制御信号S2がハイレベルになりトランジスタQ2がオンし、制御信号S7がローレベルになりトランジスタQ7がオフする。したがって、ノードN1がダイオードD8およびトランジスタQ2を介して接地端子に接続され、ノードN1の電圧NV1が急激に上昇して放電維持最低電圧Vminである接地電位に固定される。

【0200】次に、期間TEにおいて、制御信号S2がローレベルになりトランジスタQ2がオフし、制御信号S3がハイレベルになりトランジスタQ3がオンする。したがって、回収コンデンサC2がダイオードD1およびトランジスタQ3を介して回収コイルLに接続され、回収コイルLおよびパネル容量CpによるLC共振により、ノードN1の電圧NV1が滑らかに上昇する。

【0201】ここで、電源端子V6の電圧Veは、上記のように、放電維持最低電圧Vminと放電停止電圧Vgとの中間の電圧より高い値に設定されている。したがって、電圧クランプ部CL6によりノードN3の電圧がVg/2より高くなり、LC共振によりノードN1の電圧NV1が放電停止電圧Vgまで立ち上がる。また、このとき、回収コンデンサC1、C2の電荷は、回収コイルL、ダイオードD1およびトランジスタQ3を介してパネル容量Cpへ放出される。

【0202】次に、期間TFにおいて、制御信号S1がハイレベルになりトランジスタQ1がオンし、制御信号S3がローレベルになりトランジスタQ3がオフする。したがって、ノードN1がダイオードD5およびトランジスタQ1を介して電源端子V5に接続され、ノードN1の電圧NV1が放電停止電圧Vgに固定される。

【0203】上記の動作を維持期間において繰り返し行うことにより、本実施の形態でも、第7の実施の形態と同様の効果が得られる。

【0204】なお、上記の各実施の形態では、駆動回路の一例としてサステインドライバについて説明したが、スキンドライバ等についても上記と同様にして本発明を適用することができ、その場合も同様の効果を得ることができる。また、上記の各実施の形態では、2個の電圧クランプ部を用いているが、各立ち上げおよび立ち下げ動作毎に個別の電圧クランプ部を設け、各動作に適した電圧にクランプするようにしてもよい。

【0205】

【発明の効果】本発明によれば、放電開始電圧以上になるように駆動パルスを滑らかに遷移させて放電セルを放電させ、放電セルの放電電流が極大値をとると同時にまたはその前に駆動パルスを滑らかに逆方向に遷移させて放電維持電圧に保持しているため、不要な電磁波の輻射を抑制することができるとともに、少ない消費電力で放電を行うことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態のサステインドライ

バを用いたプラズマディスプレイ装置の構成を示すブロック図

【図2】図1のPDPにおけるアドレス電極、スキャン電極およびサステイン電極の駆動電圧の一例を示すタイミング図

【図3】本発明の第1の実施の形態によるサステインドライバの構成を示す回路図

【図4】図3に示すサステインドライバの維持期間の動作を示すタイミング図

【図5】本発明の第2の実施の形態によるサステインドライバの構成を示す回路図

【図6】図5に示すサステインドライバの維持期間の動作を示すタイミング図

【図7】本発明の第3の実施の形態によるサステインドライバの構成を示す回路図

【図8】図7に示すサステインドライバの維持期間の動作を示すタイミング図

【図9】本発明の第4の実施の形態によるサステインドライバの構成を示す回路図

【図10】図9に示すサステインドライバの維持期間の動作を示すタイミング図

【図11】本発明の第5の実施の形態によるサステインドライバの構成を示す回路図

【図12】図11に示すサステインドライバの維持期間の動作を示すタイミング図

【図13】本発明の第6の実施の形態によるサステインドライバの構成を示す回路図

【図14】図13に示すサステインドライバの維持期間の動作を示すタイミング図

【図15】本発明の第7の実施の形態によるサステインドライバの構成を示す回路図

【図16】図15に示すサステインドライバの維持期間の動作を示すタイミング図

【図17】本発明の第8の実施の形態によるサステインドライバの構成を示す回路図

【図18】図9に示すサステインドライバの維持期間の動作を示すタイミング図

【図19】従来のサステインドライバの構成を示す回路図

【図20】図19に示すサステインドライバの維持期間の動作を示すタイミング図

【符号の説明】

- 1 PDP
- 2 データドライバ
- 3 スキンドライバ
- 3a スキンドライバIC
- 4, 4a~4g サステインドライバ
- 11 アドレス電極
- 12 スキャン電極
- 13 サステイン電極

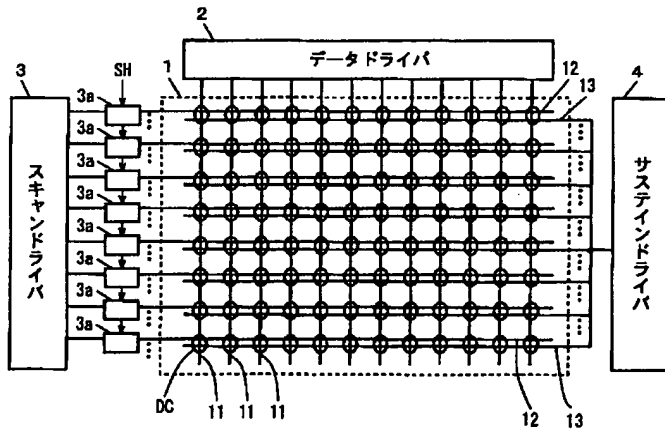
41, 41a~41g 電荷回収回路
 C1, C2 回収コンデンサ
 CL1~CL10 電圧クランプ部

* D1~D8 ダイオード

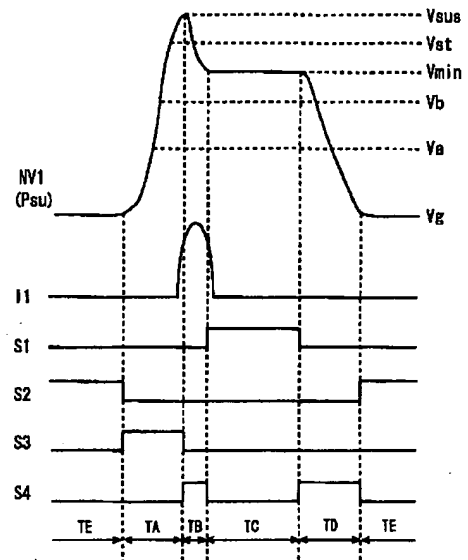
L 回収コイル

* Q1~Q8 電界効果型トランジスタ

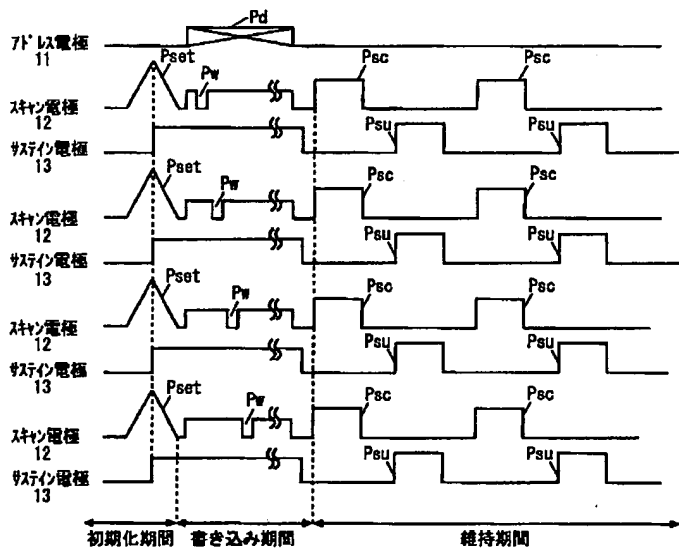
【図1】



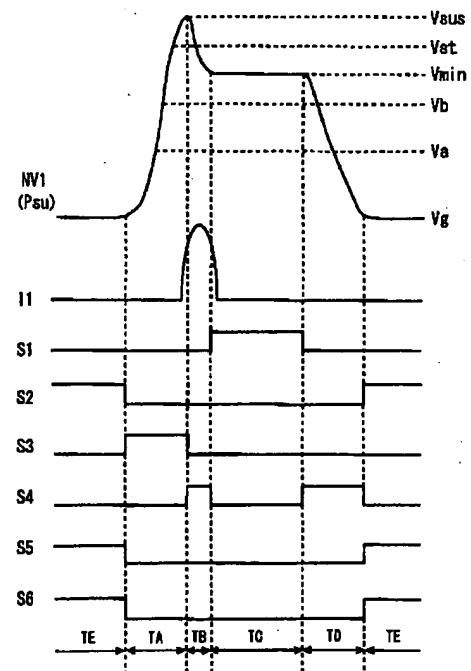
【図4】



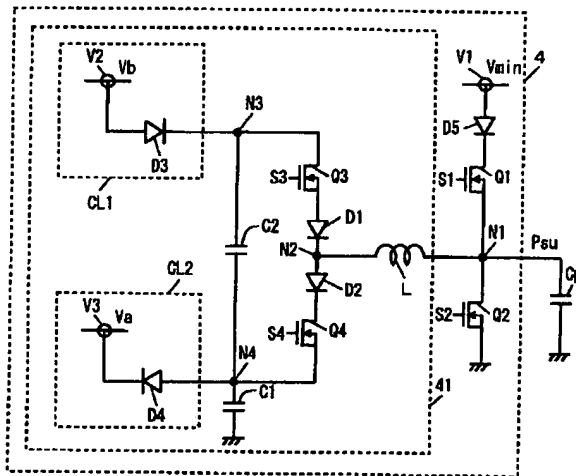
【図2】



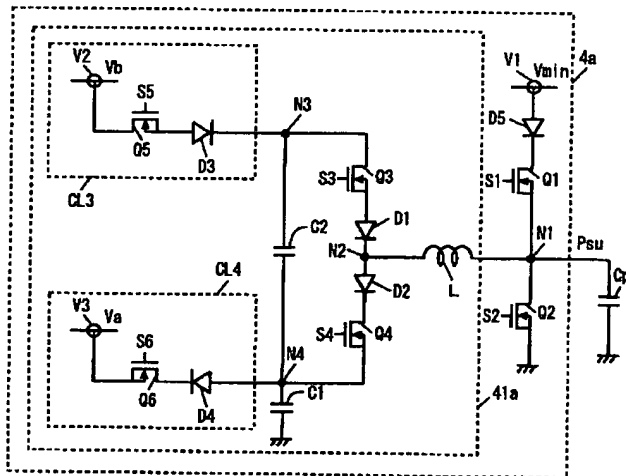
【図6】



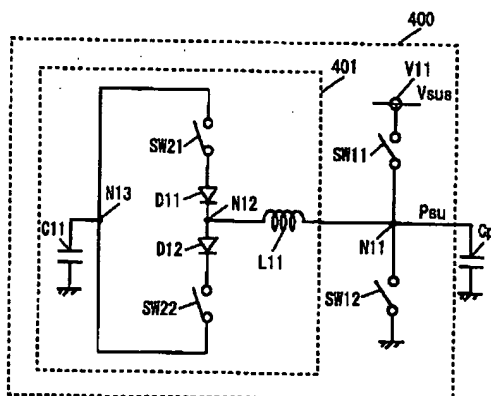
【図3】



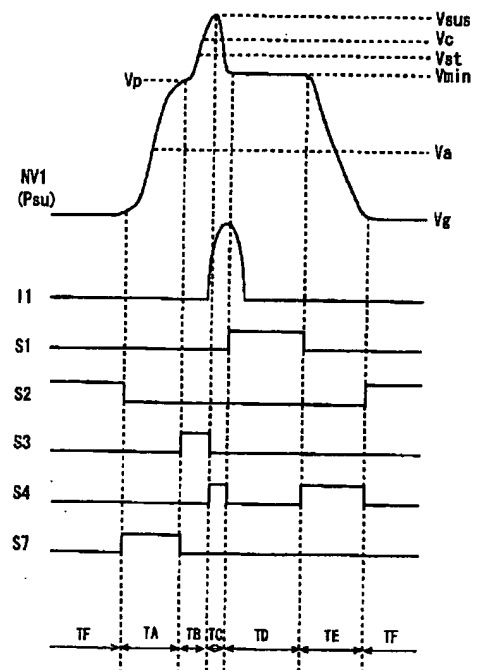
【図5】



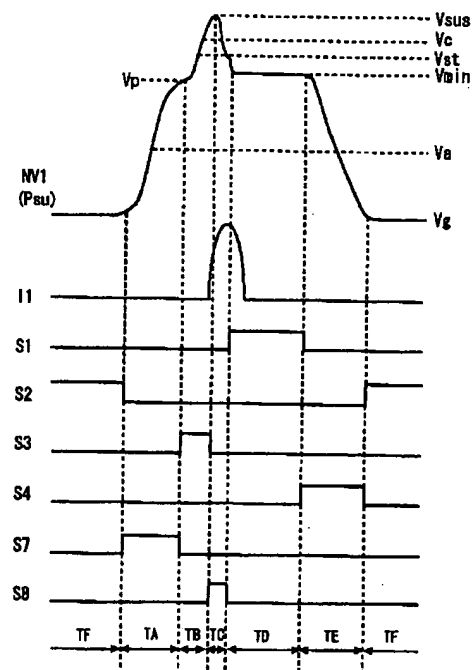
【図19】



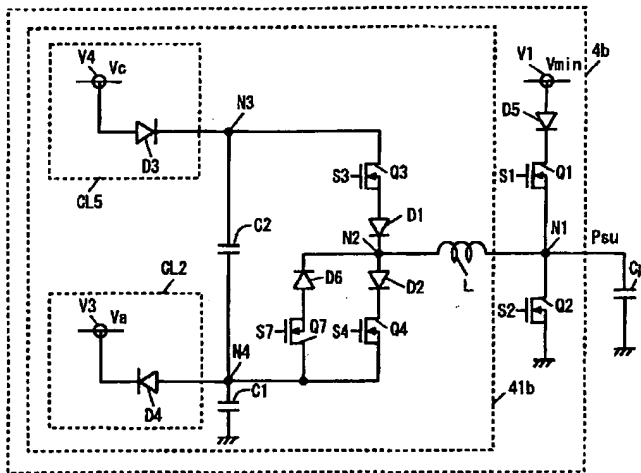
【図8】



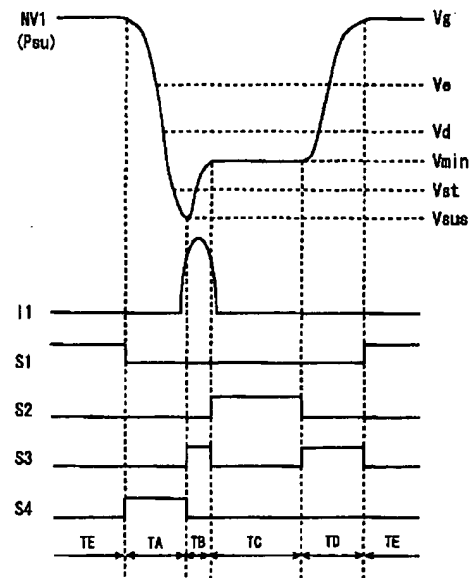
【図10】



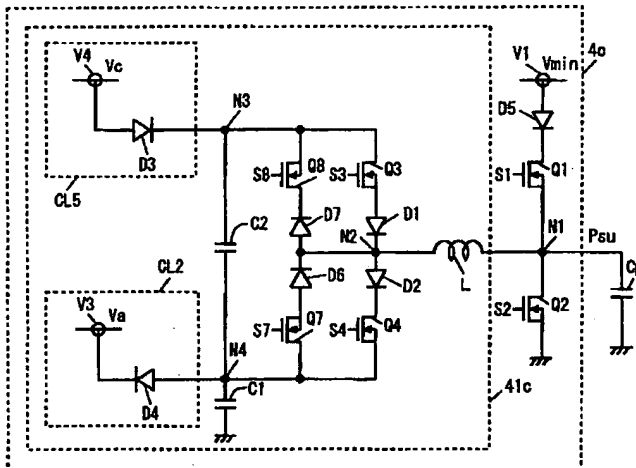
【図7】



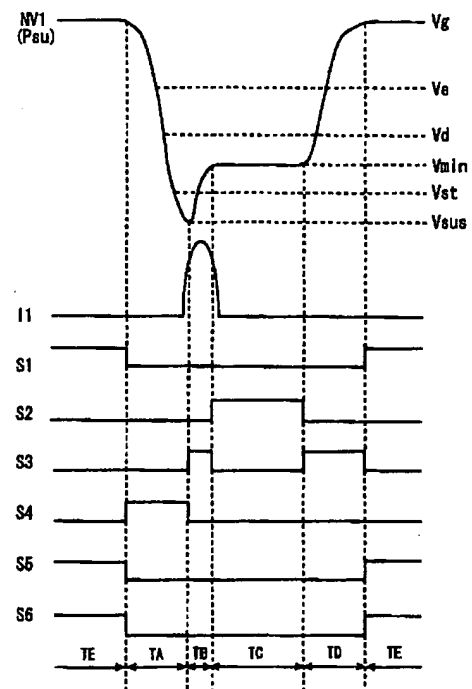
【図12】



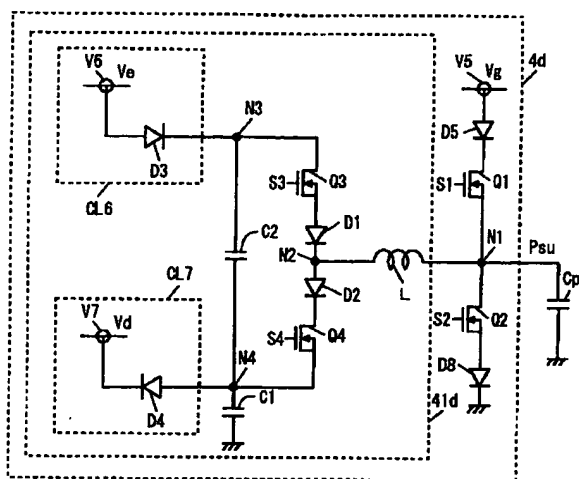
【図9】



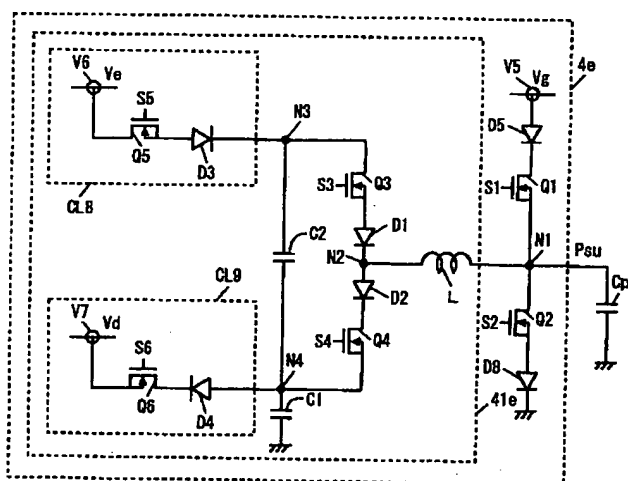
【図14】



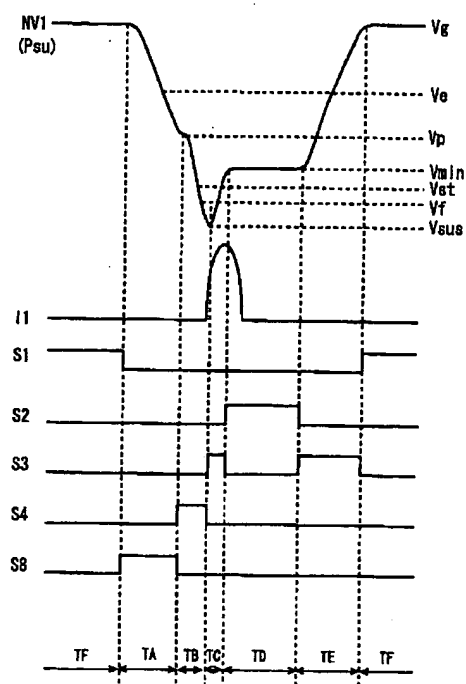
【図11】



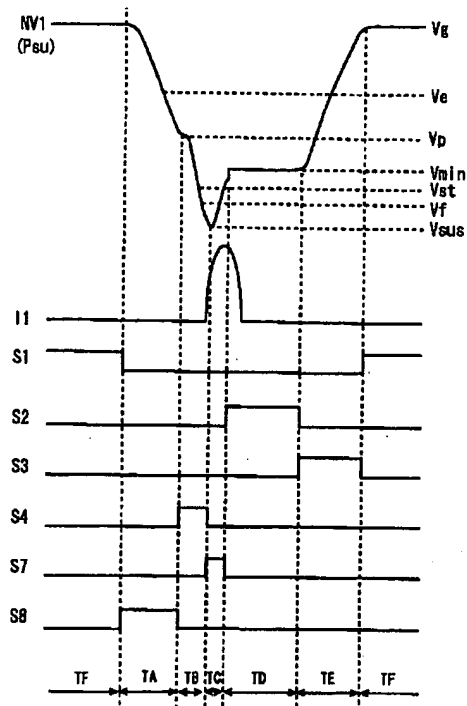
【図13】



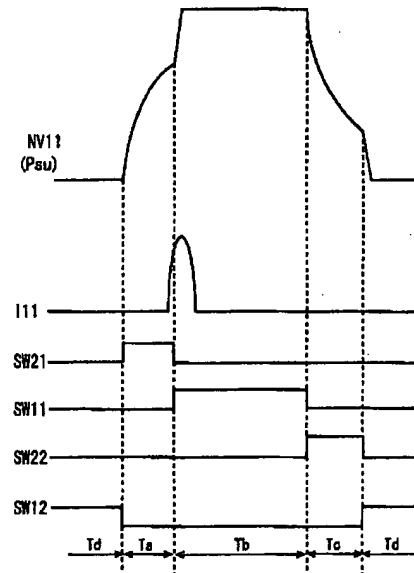
【図16】



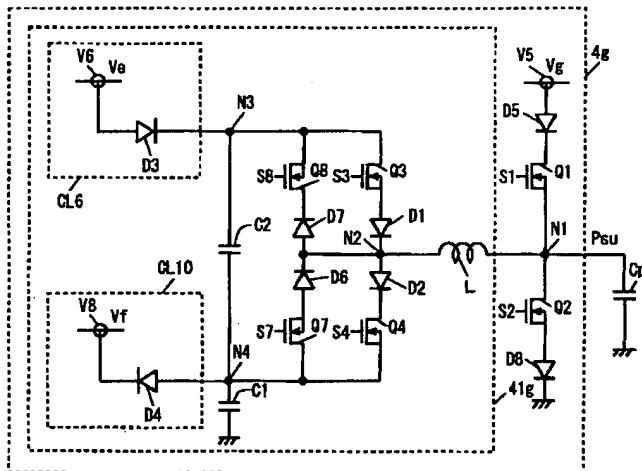
【図18】



【圖20】



【圖 17】



(72)発明者 笠原 光弘

(72)発明者 森 光広

Fターム(参考) 5C080 AA05 BB05 CC06 DD26 DD30

JJ02 JJ03 JJ04 KK02 KK43